

UNIVERSIDADE FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

Alison Luis Lando

**Circuitos integrados com baixo consumo de potência para aplicações em
captação de energia**

Curitiba

2016

UNIVERSIDADE FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

Alison Luis Lando

**Circuitos integrados com baixo consumo de potência para aplicações em
captação de energia**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Paraná para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Prof. André Augusto Mariano, Ph.D.

Coorientador: Prof. Bernardo Leite, Ph.D.

Curitiba

2016

L258c

Lando, Alison Luis

Circuitos integrados com baixo consumo de potência para aplicações em captação de energia / Alison Luis Lando. – Curitiba, 2016.

106f. : il. [algumas color.] ; 30 cm.

Dissertação (mestrado) - Universidade Federal do Paraná, Setor de Tecnologia, Programa de Pós Graduação em Engenharia Elétrica, 2016.

Orientador: André Augusto Mariano -- Coorientador: Bernardo Leite.

1. Engenharia Elétrica. 2. Captação de energia. I. Universidade Federal do Paraná. II. Mariano, André Augusto. III. Leite, Bernardo. IV. Título.

CDD: 621.3



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DO PARANÁ
PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO
Setor TECNOLOGIA
Programa de Pós Graduação em ENGENHARIA ELÉTRICA
Código CAPES: 40001016043P4

TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da Dissertação de Mestrado de **ALISON LUIS LANDO**, intitulada: "**Circuitos Integrados com Ultra Baixo Consumo de Potência para Aplicações em Captação de Energia**", após terem inquirido o aluno e realizado a avaliação do trabalho, são de parecer pela sua APROVAÇÃO.

Curitiba, 01 de Dezembro de 2016.

ANDRÉ AUGUSTO MARIANO
Presidente da Banca Examinadora (UFPR)

BERNARDO REGO BARROS DE ALMEIDA LEITE
Coorientador - Avaliador Interno (UFPR)

EDUARDO GONÇALVES DE LIMA
Avaliador Interno (UFPR)

OSCAR DA COSTA GOUVEIA FILHO
Avaliador Interno (UFPR)

MÁRCIO BENDER MACHADO
Avaliador Externo (IFSul)

AGRADECIMENTO

Agradeço primeiramente ao professor André Augusto Mariano, Ph.D., pela dedicação e orientação, que permitiu com entusiasmo e compreensão o desenvolvimento deste trabalho. Gostaria de agradecer também ao professor Bernardo Rego Barros de Almeida Leite, Ph.D., pela coorientação, à Sibilla Batista da Luz França, doutora, que preparou o *tape-out* do *chip* e enviou para a fabricação, e demais membros do GICS. Sou grato ao professor Oscar Gouveia Filho e ao pessoal do laboratório IMS Bordeaux da França, especialmente à Magali de Mattos, que realizaram as medidas do *chip* e possibilitaram apresentar os resultados. Quero agradecer à UFPR, por me aceitar como aluno de pós-graduação, à UFSC, onde cursei algumas disciplinas, e a Mosis e IBM, por fabricarem o *chip*. Estendo minha gratidão ao Gustavo Campos Martins, por colaborar com o desenvolvimento do regulador de tensão, compartilhando informações, e ao Romain Berge, por colaborar no desenvolvimento do elevador de tensão. Finalmente, agradeço à minha família, em especial à minha esposa, Elisângela F. Manffra, e ao meu filho, Luís Roberto M. Lando, pelo apoio fundamental para a conclusão deste trabalho.

RESUMO

Neste trabalho apresenta-se uma arquitetura de sistema de captação de energia, com capacidade para fornecer alimentação a sensores e dispositivos ou para armazenar a energia em uma bateria ou capacitor. A arquitetura proposta é composta por um conversor RF para CC, um pré-elevador de tensão, um oscilador em anel, um elevador de tensão, um regulador de tensão e um circuito de referência de tensão e corrente. Considera-se que o conversor RF para CC forneça 200 mV para que na saída do elevador de tensão obtenha-se 1,2 V. O gerador de *clock*, na frequência de 3,25 MHz com duas fases, é alimentado com a tensão de 400 mV, para aumentar a eficiência do elevador de tensão. A tensão de saída do sistema é 1,0 V, entregue pelo regulador de tensão a partir de 1,2 V de entrada. Os circuitos são projetados usando tecnologia CMOS 130 nm. Simulações pós-leiaute mostram que o consumo total de corrente desses três blocos principais é de aproximadamente 130 μ A, permitindo alimentar uma carga de 2 μ A, com tensão de 1 V estável na saída. Dois circuitos foram enviados para serem fabricados: o primeiro contendo o oscilador em anel com o *buffer* e o elevador de tensão, e o segundo um regulador de tensão incrementado pela fonte de referência de tensão externa e corrente interna. Os resultados de medidas dos dois circuitos apresentaram resultados semelhantes aos das simulações.

Palavras chave: captação de energia; regulador de tensão; elevador de tensão; oscilador em anel; microeletrônica; baixo consumo; baixa tensão.

ABSTRACT

In this work an architecture of energy harvesting is presented. The system provides power supply to sensors, devices and it is able to storage energy in a battery or capacitor. The proposed architecture consists of an RF-DC converter, a voltage pre-booster, a ring oscillator, a voltage booster, a voltage regulator and a voltage and current reference circuits. It is considered that the RF-DC converter provides 200 mV for the voltage booster to raise to 1.2 V. The clock generator operates at 3.25 MHz with two stages and powered with a voltage of 400 mV, to increase the efficiency of the voltage booster. The output voltage of the system is 1.0 V delivered by the voltage regulator from the input of 1.2 V. The circuits are designed using a 130 nm CMOS technology. Post-layout simulations have shown that the total current consumption of these three main blocks is approximately 130 μA , allowing to sustain a load of 2 μA , with a stable 1 V output voltage. Two circuits were fabricated: the first containing the ring oscillator with the buffer and the voltage elevator, the second, a voltage regulator, with internal and external voltage sources. The measurement results of the proposed circuits are similar to those from simulations.

Keywords: energy harvesting; voltage regulator; charge pump; ring oscillator; DC/DC converter; microelectronic; low power; low voltage.

LISTA DE FIGURAS

FIGURA 1 - FONTES DE ENERGIA (ENTRADA), BLOCOS INTEGRANTES DOS SISTEMAS DE CAPTAÇÃO DE ENERGIA E FORMAS DE ARMAZENAMENTO E UTILIZAÇÃO (SAÍDA) IDENTIFICADOS NA LITERATURA	21
FIGURA 2 - DEFINIÇÃO DOS ATRASOS tp_{HL} E tp_{LH} , E TEMPOS DE SUBIDA E DESCIDA, PARA UMA PORTA INVERSORA.....	26
FIGURA 3 - OSCILADOR EM ANEL COM TRÊS ESTÁGIOS.....	27
FIGURA 4 - TOPOLOGIA DO <i>BUFFER</i> . INVERSORES EM CASCATA USADOS PARA CARREGAR GRANDES CARGAS CAPACITIVAS	29
FIGURA 5 - TOPOLOGIAS DE ELEVADORES DE TENSÃO CC PARA CC IDENTIFICADAS NA LITERATURA: (a) Dickson com quatro estágios, (b) Dickson <i>Static</i> CTS com quatro estágios, (c) Conversor CC para CC <i>switched capacitor</i> com três estágios, (d) um estágio da topologia Pelliconi (e) um estágio da topologia Pelliconi modificada, (f) Dickson <i>Dynamic</i> CTS, (g) <i>Cross-coupled</i> com quatro estágios e (h) <i>Cross-coupled</i> combinado com o <i>Dynamic</i> CTS com dois estágios	33
FIGURA 6 - (A) ELEVADOR DE TENSÃO PROPOSTO POR PELLICONI ET AL. (2003);	35
FIGURA 7 - ESTÁGIO DO ELEVADOR DE TENSÃO PELLICONI MODIFICADO	37
FIGURA 8 - FUNCIONAMENTO DO REGULADOR DE TENSÃO EM TERMOS GERAIS	40
FIGURA 9 - TOPOLOGIA DO REGULADOR DE TENSÃO LDO	42
FIGURA 10 - (A) AMPLIFICADOR OPERACIONAL COM TRANSISTORES NMOS NA ENTRADA; (B) AMPLIFICADOR OPERACIONAL COM TRANSISTORES PMOS NA ENTRADA	43
FIGURA 11 - AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS COM COMPENSAÇÃO MILLER	44
FIGURA 12 - ESQUEMA DE LIGAÇÃO DO TRANSISTOR DE PASSAGEM PMOS DO REGULADOR DE TENSÃO.....	52
FIGURA 13 - ESQUEMÁTICO DO CIRCUITO QUE FORNECE A TENSÃO E A CORRENTE DE REFERÊNCIA	53
FIGURA 14 - ARQUITETURA DO SISTEMA DE CAPTAÇÃO DE ENERGIA.....	58
FIGURA 15 - RESPOSTA DO ELEVADOR DE TENSÃO EM RELAÇÃO A FREQUÊNCIA	59
FIGURA 16 - CONFIGURAÇÃO PARA SIMULAÇÃO DO ELEVADOR DE TENSÃO	60
FIGURA 17 - GRÁFICO COM A SIMULAÇÃO DO ELEVADOR DE TENSÃO <i>CHARGE PUMP</i> PELLICONI MODIFICADO	60
FIGURA 18 - LEIAUTE DO CIRCUITO DO ELEVADOR DE TENSÃO	61
FIGURA 19 - OSCILADOR EM ANEL BÁSICO DE TRÊS ESTÁGIOS	62
FIGURA 20 - ESQUEMA DO OSCILADOR EM ANEL, A ESTRUTURA DE BASE DO GERADOR DE SINAL.....	63
FIGURA 21 - ESQUEMÁTICO DO <i>BUFFER</i> PARA GERAR O SINAL E O SINAL DEFASADO	64
FIGURA 22 - CONFIGURAÇÃO PARA SIMULAÇÃO DO OSCILADOR EM ANEL	65
FIGURA 23 - SIMULAÇÃO DO SINAL DE SAÍDA DO OSCILADOR EM ANEL COM SINAIS DO <i>CLOCK</i> CLK E DO <i>CLOCK</i> INVERTIDO CLKB	66

FIGURA 24 - LEIAUTE DA INTEGRAÇÃO DO OSCILADOR EM ANEL COM O <i>BUFFER</i> JÁ COM OS CAPACITORES DE DESACOPLAMENTO.....	66
FIGURA 25 - RESULTADOS DE GANHO E MARGEM DE FASE DO AMPLIFICADOR OPERACIONAL DESENVOLVIDO.....	68
FIGURA 26 - ESQUEMÁTICO DETALHADO DO REGULADOR DE TENSÃO	72
FIGURA 27 - RESULTADO DA SIMULAÇÃO CC DO REGULADOR DE TENSÃO LDO, COM REFERÊNCIA DE TENSÃO EXTERNA.....	72
FIGURA 28 - RESULTADO DA SIMULAÇÃO DE TRANSITÓRIO DO REGULADOR DE TENSÃO LDO COM REFERÊNCIA DE TENSÃO EXTERNA.	73
FIGURA 29 - LEIAUTE DO CIRCUITO DO REGULADOR DE TENSÃO	74
FIGURA 30 - ESQUEMA DE MONTAGEM E SIMULAÇÃO DA INTEGRAÇÃO ENTRE O OSCILADOR EM ANEL, ELEVADOR DE TENSÃO E REGULADOR DE TENSÃO.....	76
FIGURA 31 - LEIAUTE DO CIRCUITO COMBINANDO O OSCILADOR EM ANEL (A), ELEVADOR DE TENSÃO (B), REGULADOR DE TENSÃO CONTENDO A FONTE DE REFERÊNCIA (C) E PADS.....	77
FIGURA 32 - SIMULAÇÃO DA INTEGRAÇÃO ENTRE O OSCILADOR EM ANEL, ELEVADOR DE TENSÃO E REGULADOR DE TENSÃO PARA UMA CARGA DE 2 mA.....	78
FIGURA 33 - FOTO DO CIRCUITO ROPCP ENVIADO PARA FABRICAÇÃO, INCLUÍDO PADS	80
FIGURA 34 - FOTO DO CIRCUITO LDOPEVR ENVIADO PARA FABRICAÇÃO, INCLUÍDO PADS	80
FIGURA 35 - CONFIGURAÇÃO DAS SIMULAÇÕES E MEDIDAS DO CIRCUITO ROPCP.....	81
FIGURA 36 - RESULTADO DE SIMULAÇÃO DO CIRCUITO ROPCP	81
FIGURA 37 - MEDIDAS DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 489 \text{ mV}$	82
FIGURA 38 - RETRO SIMULAÇÕES DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 489 \text{ mV}$	83
FIGURA 39 - SIMULAÇÕES DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 489 \text{ mV}$ E SINAIS CLOCK SIMÉTRICOS	84
FIGURA 40 - MEDIDAS DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 430 \text{ mV}$	86
FIGURA 41 - CONFIGURAÇÃO DAS SIMULAÇÕES E MEDIDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 430 \text{ mV}$	87
FIGURA 42 - SIMULAÇÕES DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 430 \text{ mV}$ E SINAIS CLOCK SIMÉTRICOS	88
FIGURA 43 - EXPECTATIVA PARA AS MEDIDAS DO CIRCUITO ROPCP.....	88
FIGURA 44 - LEIAUTE DO CIRCUITO ROPCP COM PADS.....	89
FIGURA 45 - CONFIGURAÇÃO DAS SIMULAÇÕES E MEDIDAS DO CIRCUITO LDOPEVR	90
FIGURA 46 - COMPARAÇÃO ENTRE SIMULAÇÃO E MEDIDAS DO CIRCUITO LDOPEVR	91
FIGURA 47 - LEIAUTE DO CIRCUITO LDOPEVR E PADS.....	92
FIGURA 48 - ALTERNATIVA DE SISTEMA DE CAPTAÇÃO DE ENERGIA.....	99

LISTA DE QUADROS

QUADRO 1 -	VANTAGENS E DESVANTAGENS DOS SISTEMAS DE CAPTAÇÃO DE DIFERENTES FONTES DE ENERGIA	15
QUADRO 2 -	ALGUMAS SOLUÇÕES DE CONECTIVIDADE SEM FIO	17
QUADRO 3 -	CARACTERÍSTICAS DE POTÊNCIA DE SINAIS DE SISTEMAS SEM FIO COMERCIAIS	17
QUADRO 4 -	COMPARAÇÃO DOS SISTEMAS DE CAPTAÇÃO DE ENERGIA ENCONTRADOS NA LITERATURA.....	23
QUADRO 5 -	PROJETOS DE OSCILADORES IDENTIFICADOS NA LITERATURA.....	25
QUADRO 6 -	CARACTERÍSTICAS PRINCIPAIS DOS PROJETOS DE ELEVADORES DE TENSÃO IDENTIFICADOS NA LITERATURA.....	32
QUADRO 7 -	CARACTERÍSTICAS PRINCIPAIS DOS PROJETOS DE REGULADOR DE TENSÃO IDENTIFICADOS NA LITERATURA.....	42
QUADRO 8 -	ESPECIFICAÇÃO TÍPICA PARA DESENVOLVIMENTO DE UM AMPLIFICADOR OPERACIONAL.....	45
QUADRO 9 -	LARGURA DO CANAL DOS TRANSISTORES PARA A IMPLEMENTAÇÃO DO <i>BUFiFER</i>	65
QUADRO 10 -	VALORES ENCONTRADOS NO PROJETO DO AMPLIFICADOR OPERACIONAL.....	67
QUADRO 11 -	COMPARAÇÃO ENTRE OS VALORES TÍPICOS E MEDIDOS DA ESPECIFICAÇÃO DO AMPLIFICADOR OPERACIONAL	69
QUADRO 12 -	VALORES DOS PARÂMETROS DOS COMPONENTES DO CIRCUITO DO REGULADOR DE TENSÃO	71
QUADRO 13 -	VALORES MEDIDOS DE SAÍDA DO REGULADOR EM RELAÇÃO A SIMULAÇÃO	91
QUADRO 14 -	CORRENTE CONSUMIDA E FORNECIDA PELO CIRCUITO DESENVOLVIDO	93
QUADRO 15 -	COMPARAÇÃO DAS PROPOSTAS DA LITERATURA COM O DESENVOLVIMENTO DESTES TRABALHOS.....	94
QUADRO 16 -	COMPARAÇÃO ENTRE OS PROJETOS DE OSCILADORES IDENTIFICADOS NA LITERATURA COM O DESENVOLVIDO NESTE TRABALHO	95
QUADRO 17 -	COMPARAÇÃO ENTRE OS PRINCIPAIS PROJETOS DE ELEVADORES DE TENSÃO IDENTIFICADOS NA LITERATURA COM O DESENVOLVIDO NESSE TRABALHO	96
QUADRO 18 -	COMPARAÇÃO ENTRE OS PRINCIPAIS PROJETOS DE REGULADOR DE TENSÃO IDENTIFICADOS NA LITERATURA COM O DESENVOLVIDO NESTE TRABALHO.....	97

LISTA DE SIGLAS

CA	Corrente Alternada
CC	Corrente Contínua
CMOS	Metal-Óxido-Semicondutor Complementar (Complementary Metal-Oxide-Semiconductor)
CTS	<i>Charge-Transfer-Switch</i>
EOS	<i>Electrical overstress</i>
<i>FBB</i>	<i>Forward-body-bias</i>
LDO	Baixa Queda de Tensão (Low Drop-Out)
RF	Radiofrequência
RFID	Identificação por Radiofrequência (<i>Radio-Frequency Identification</i>).
VCO	<i>Voltage-Controlled Oscillator</i>
UHF	<i>Ultra High Frequency</i>

LISTA DE SÍMBOLOS

A	Fator de multiplicação à anterior
A_{vo}	Ganho total do amplificador
C_{in}	Capacitância de entrada
C_L	Capacitância de carga
C_{ox}	Capacitância do óxido
C_{par}	Capacitância parasita
co	Comprimento de onda
D	Distância em metros entre transmissor e receptor
dV	Variação de tensão
dT	Variação de tempo
f_{osc}	Frequência de oscilação
G_R	Ganho da antena receptora
G_T	Ganho da antena transmissora
g_o	Condutância
g_m	Transcondutância
GBW	Produto ganho banda é
I_{DSAT}	Corrente de saturação
IoT	Internet das Coisas
i_f	Nível de inversão
I_{SQ}	Corrente de normalização de folha
I_F	Corrente direta
i_{out}	Corrente de saída
L	Comprimento do canal do transistor
LF	Fator de perda do sistema
N	Quantidade de inversores
n	Número de inversores
p	Polo da função
P_R	Potência de recepção em watts
P_T	Potência de transmissão em watts
R_{eqn}	Resistência equivalente do transistor NMOS

R_{eqp}	Resistência equivalente do transistor PMOS
R_{out}	Resistência de saída
R_{switch}	Resistência de comutação dos transistores
SR	<i>Slew Rate</i>
t_p	Atraso de propagação
t_{pHL}	Atraso para a comutação de alto (<i>High</i>) para baixo (<i>Low</i>)
t_{pLH}	Atraso para a comutação de baixo (<i>Low</i>) para alto (<i>High</i>)
T	Período de oscilação
t_f	Tempo de descida (<i>fall</i>)
t_r	Tempo de subida (<i>rise</i>)
T_{ramp}	Tempo de rampa
V_t	Tensão de limiar
V_{clk}	Tensão de amplitude do sinal de <i>clock</i>
$V_{CM\ min}$	O valor de ICMR mínimo
$V_{CM\ max}$	O valor de ICMR máximo
V_d	Tensão no diodo
V_{DD}	Tensão de alimentação
V_{DSAT}	Tensão de saturação
V_{in}	Tensão de entrada
V_{out}	Tensão de saída
W	Largura do canal do transistor
λ	Efeitos do comprimento do canal
μ_n	Permissividade do trânsito
sf	Fator de inclinação
ϕ_t	Potencial térmico e
z_1	Zero da função
φ_m	Margem de fase

SUMÁRIO

1. INTRODUÇÃO	14
1.1. OBJETIVO GERAL	18
1.2. OBJETIVOS ESPECÍFICOS	18
1.3. ORGANIZAÇÃO DO DOCUMENTO	18
2. REVISÃO DA LITERATURA E ESTADO DA ARTE	19
2.1. O GERADOR DE <i>CLOCK</i>	24
2.1.1. Estado da arte para gerador de <i>clock</i>	24
2.1.2. Embasamento teórico para o desenvolvimento do gerador de <i>clock</i>	25
2.2. ELEVADOR DE TENSÃO	30
2.2.1. Estado da arte para o elevador de tensão	31
2.2.2. Embasamento teórico para o desenvolvimento do elevador de tensão	34
2.3. REGULADOR DE TENSÃO	40
2.3.1. Estado da arte do regulador de tensão	40
2.3.2. Embasamento teórico para o desenvolvimento do regulador de tensão	42
2.4. CONCLUSÃO DA REVISÃO DA LITERATURA E ESTADO DA ARTE	55
3. DESENVOLVIMENTO DO PROJETO	57
3.1. ARQUITETURA PROPOSTA DO SISTEMA DE CAPTAÇÃO DE ENERGIA	57
3.2. ELEVADOR DE TENSÃO	58
3.3. GERADOR DE <i>CLOCK</i>	61
3.4. REGULADOR DE TENSÃO	67
3.4.1. Amplificador operacional	67
3.4.2. Divisor resistivo	70
3.4.3. Transistor de passagem	70
3.4.4. Circuito de referência	70
3.4.5. Montagem do regulador de tensão LDO e resultados de simulações	71
3.5. DEMAIS BLOCOS DO SISTEMA DE CAPTAÇÃO DE ENERGIA	74
3.6. COMBINAÇÃO DOS CIRCUITOS OSCILADOR EM ANEL, ELEVADOR DE TENSÃO E REGULADOR DE TENSÃO	76
4. SIMULAÇÕES E MEDIDAS DOS CIRCUITOS FABRICADOS	79
4.1. SIMULAÇÕES E MEDIDAS DO CIRCUITO ROpCP	81
4.2. SIMULAÇÕES E MEDIDAS DO CIRCUITO LDOpEVR	90
5. CONCLUSÕES E PERSPECTIVAS	93
APÊNDICE A	101
REFERÊNCIAS	104

1. INTRODUÇÃO

A alimentação de circuitos e dispositivos eletrônicos relacionados às redes de sensores, computadores vestíveis (*wearable computing*), telefones inteligentes e os pertencentes ao universo da internet das coisas é, de certa forma, uma barreira para tornar esses elementos energeticamente autônomos. Há sempre a necessidade de armazenamento de energia em baterias, com constante recarga por intervenção direta, ou seja, troca de baterias ou conexão com uma rede de energia por alguém ou algum sistema. O aumento da autonomia ou a autonomia total é a base para a pesquisa e o desenvolvimento de novas fontes de geração de energia elétrica.

Algumas fontes alternativas de energia podem ser utilizadas para alimentar esses dispositivos e circuitos de baixo consumo de potência, como: solar, eólica, térmica, cinética e ondas eletromagnéticas.

O termo *Energy Harvesting*, traduzido do inglês como Captação ou Colheita de Energia, pode ser definido como um processo pelo qual a energia elétrica pode ser obtida a partir de fontes ambientais externas, conforme descrito por Jabbar *et al.* (2010). Essas fontes são abundantes, por serem renováveis, e podem ser utilizadas para alimentar diretamente sensores e pequenos dispositivos, ou armazenar a energia em baterias ou capacitores, para que seja aproveitada em um momento de maior demanda.

A energia solar pode ser transformada em elétrica por meio de células fotovoltaicas, podendo gerar eletricidade mesmo a partir de fontes de luz artificiais em ambientes internos, como apresentado por Lu *et al.* (2010). Alguns geradores eólicos podem gerar energia em escala reduzida, a partir de um fluxo de ar tão fraco quanto um sopro, em quantidade suficiente para carregar uma bateria ou capacitor (MARKHAM, 2016). A energia térmica pode ser capturada por sistemas que aproveitam o efeito *Seebeck* (UCHIDA *et al.*, 2016), que gera corrente pela aplicação de frio e calor em extremidades opostas de uma célula *Peltier*. A energia cinética pode ser capturada mediante dispositivos piezoelétricos (GORLATOVA *et al.*, 2015; SHENCK; PARADISO, 2001), que convertem a força mecânica em tensão elétrica. A energia disponível nas ondas eletromagnéticas (ZHAO *et al.*, 2012) pode ser

aproveitada devido às diversas fontes de transmissão, desde Wi-Fi até ondas de rádio e TV, que irradiam energia em várias frequências e potências para todas as direções.

No QUADRO 1 apresentam-se as principais vantagens e desvantagens de cada fonte de energia. É possível observar que as fontes de energia podem ser complementares e que a associação de duas ou mais pode aumentar a autonomia do sistema. Esse quadro indica a comparação baseando-se na localização geográfica em que o sistema pode ser posicionado e em termos de disponibilidade para funcionamento, ou seja, o quanto o sistema estará captando energia elétrica ao longo das 24 horas e 7 dias na semana.

Fonte de energia	Vantagens e desvantagens
Fotovoltaica	Pode ser implantado em ambientes distantes e isolados, mas necessita de iluminação natural ou artificial. Exemplo de geração de energia elétrica: $V_{out} = 860 \text{ mV}$ e $I_{out} = 11,3 \text{ mA/cm}^2$
Eólica	Pode ser implantado em ambientes distantes e isolados, dia e noite, mas necessita de intervenção constante ou condição meteorológica. Ex.: 10 mW
Cinética	Pode ser implantado em ambientes distantes e isolados, dia e noite, podendo ser móvel ou fixa, mas necessita de intervenção constante em aplicação de pressão no sensor. Ex.: 67 watts
Térmica	Pode ser implantado em ambientes distantes e isolados, funciona dia e noite, dependendo ou não das condições meteorológicas, mas necessita de aplicação de calor e frio nas extremidades opostas de células <i>Peltier</i> . Ex.: $370 \mu\text{V/K}$
Eletromagnética	Pode ser móvel ou fixo. Grande disponibilidade devido às diversas tecnologias de comunicação sem fio, em diversas frequências, potências e distâncias, mas necessita de distância adequada da fonte de sinal RF e a geração de energia é baixa. Ex.: $V_{antena} = 300 \text{ mV}$ e $P_{antena} = 0.1 \text{ mW/cm}^2$

QUADRO 1 - VANTAGENS E DESVANTAGENS DOS SISTEMAS DE CAPTAÇÃO DE DIFERENTES FONTES DE ENERGIA

FONTE: Lu *et al.* (2010), Carli *et al.* (2010), Shenck e Paradiso (2001), Falco e Udrea (2016) e Zhao *et al.* (2012)

Apesar de ser possível utilizar essas fontes para alimentar dispositivos e circuitos miniaturizados, como os computadores vestíveis (HUSSEIN, 2015) e as redes de sensores, na prática a potência disponível para ser utilizada é muito baixa, em torno de miliwatts. Dispositivos RFID (*Radio-Frequency Identification*) passivos são elementos característicos de sistemas de captação de energia. São elementos que recebem a energia de uma fonte externa ao circuito, por meio das ondas

eletromagnéticas induzidas por bobinas inseridas tanto no transmissor quanto no receptor, possibilitando assim a energização e, conseqüentemente, a alimentação de um circuito. Uma característica comum dos dispositivos eletrônicos de RFID é o baixo consumo de potência, que pode chegar na faixa de microwatts, com baixa tensão de alimentação, em torno de 1,0 V. Isso é fundamental para permitir que algumas fontes de energia alternativas possam ser utilizadas para a alimentação e armazenamento de pequenas quantidades de energia.

Cabe aos sistemas de captação de energia fornecer, na saída, a maior quantidade de potência, com a máxima eficiência de conversão possível. Isso é realizável com um conjunto de circuitos que captam a energia na saída da fonte, convertem, se necessário, a tensão alternada em contínua e elevam a amplitude de tensão a um nível suficiente para que a energia possa ser utilizada ou armazenada.

Alguns sistemas de captação de energia têm finalidades específicas, e não visam ao armazenamento, como é o caso dos propostos por Martins e De Sousa (2013) e Yeager *et al.* (2010), em que visam somente à medição de temperatura. Outros apresentam melhorias na eficiência de circuitos de sistemas de captação de energia, como é o caso de Pelliconi *et al.* (2003) e Abdelaziz *et al.* (2011). Há propostas já funcionais de sistemas de captação de diferentes fontes, como energia solar (FOJTIK *et al.*, 2013), térmica (WENG *et al.*, 2013) e de ondas eletromagnéticas (SHOKRANI *et al.*, 2014).

A melhoria ou a substituição das topologias dos circuitos já utilizados nos sistemas existentes, por outras mais eficientes, pode permitir que a captação de energia seja realizada a partir de um nível de potência ainda mais baixo. Além disso, seria possível fornecer mais corrente na saída do sistema. Com foco em armazenamento de energia e alimentação de circuitos, o objetivo seria alimentar circuitos e dispositivos somente nos momentos de maior demanda. Dessa forma, no restante do tempo, a energia seria acumulada lentamente.

As ondas eletromagnéticas, na faixa de sinais de radiofrequência (RF), são utilizadas por inúmeras aplicações, conforme apresentado no QUADRO 2 e no QUADRO 3, principalmente em ambientes internos, que concentram muitos dispositivos com várias funcionalidades (KUROSE; JAMES; ROSS, 2009). Essa grande quantidade de sistemas de comunicação sem fio, e com o advento da chamada Internet das Coisas (IoT), permitirá que ambientes internos fiquem ainda mais repletos de sinais de RF, em diferentes frequências, distâncias e potência.

Rede	Proximidade	Pessoal	Pessoal	Local	Local	Local	Longa distância
Tecnologia	NFC RFID	Bluetooth	2,4 GHz Proprietário	Zigbee RFC4CE	6LoWPAN	Wi-Fi	Sub 1 GHz Proprietário
Taxa de transmissão	848 Kbps	3 Mbps	1 Mbps	1 Mbps	1 Mbps	100 Mbps	1 Mbps
Alimentação	Com / Sem Bateria	Bateria	Bateria	Bateria	Bateria	Bateria	Bateria
Alcance	1 m	100 m	100 m	100 m	100 m	500 m	30.000 m

QUADRO 2 - ALGUMAS SOLUÇÕES DE CONECTIVIDADE SEM FIO

FONTE: Texas Instruments (2016)

No QUADRO 3 apresentam-se as características de potência de alguns sinais de sistemas de comunicação sem fio comerciais. As características de potência variam entre tecnologias e entre versões da mesma tecnologia. Algumas potências podem chegar ao receptor com níveis muito baixos, como por exemplo “-91 dBm”, sendo essa a potência mínima possível para um sinal Wi-Fi.

Potência	Característica
39 dBm	Potência máxima de saída do sistema GSM 900
36 dBm	Potência máxima de saída do sistema GSM 1800
33 dBm	Potência máxima de saída do sistema GSM 1900
20 dBm	Bluetooth Classe 1
20 dBm	Típica potência de transmissão de rede sem fio de <i>laptops</i>
4 dBm	Bluetooth Classe 2
0 dBm	Bluetooth Classe 3
-20 a 10 dBm	Bluetooth <i>Low Energy</i>
-32 a 0 dBm	ZigBee e 6LoWPAN (<i>Over</i> 802.15.4)
-91 dBm	Potência mínima do sinal recebido de rede sem fio (802.11)
-130 dBm	Típica potência do sinal recebido de um satélite GPS

QUADRO 3 - CARACTERÍSTICAS DE POTÊNCIA DE SINAIS DE SISTEMAS SEM FIO COMERCIAIS

FONTE: National Instruments (2016), Poole (2016), Gomez *et al.* (2012) e Sendra *et al.* (2010)

Devido aos baixos níveis de potência disponíveis nos sinais eletromagnéticos, todos os circuitos integrados que compõem um sistema de captação de energia devem operar com baixo consumo de potência e, na medida do possível, em baixa tensão. Além disso, há a necessidade de uma combinação de circuitos integrados que gerem valores de tensão utilizáveis a partir do sinal da fonte geradora. Alguns sistemas que se propõem à captação de energia de ondas eletromagnéticas, bem como seus

elementos integrantes, foram investigados separadamente a fim de definir uma arquitetura aprimorada e seus circuitos integrados otimizados.

Tendo por base a literatura, uma arquitetura de um sistema de captação de energia é apresentada aqui para captação de energia a partir de ondas eletromagnéticas na faixa de sinais de RF. Além disso, circuitos que compõem essa arquitetura foram desenvolvidos e fabricados.

1.1. OBJETIVO GERAL

Apresentar uma arquitetura de um sistema de captação de energia (*Energy Harvesting*) de baixo consumo de potência e de dimensões reduzidas, para captar energia das ondas eletromagnéticas e que permita armazená-la em um capacitor, bateria ou alimentar um circuito, ou dispositivo.

1.2. OBJETIVOS ESPECÍFICOS

Os objetivos específicos são de identificar, propor e desenvolver os circuitos de um gerador de *clock*, elevador de tensão e regulador de tensão, otimizando seus consumos de potência e suas áreas ocupadas na pastilha de silício.

1.3. ORGANIZAÇÃO DO DOCUMENTO

Esta dissertação é dividida da seguinte maneira: o Capítulo 2 apresenta a revisão da literatura. O desenvolvimento da arquitetura de captação de energia de ondas eletromagnéticas, assim como o projeto dos circuitos que compõem o sistema, são explanados no Capítulo 3. No Capítulo 4 revelam-se os resultados das medidas dos circuitos fabricados em comparação com as simulações pós-leiaute, além de uma breve discussão dos resultados. Finalmente, as conclusões são apresentadas no Capítulo 5.

2. REVISÃO DA LITERATURA E ESTADO DA ARTE

De forma a definir o estado da arte em captação de energia, um estudo de sistemas de captação de energia identificados na literatura científica é apresentado. As principais características dos trabalhos encontrados, referentes a sistemas de captação de energia, serão apresentadas em um único quadro. De forma semelhante, serão apresentados os circuitos, que fazem parte da maioria das arquiteturas identificadas na literatura e suas características serão igualmente explanadas em quadros distintos. Todos os conceitos e a teoria para o desenvolvimento desses circuitos são apresentados neste capítulo.

O trabalho apresentado por Zhao *et al.* (2012) consiste em um sistema de captação de energia de ondas eletromagnéticas, cuja arquitetura é composta por três elementos principais: (1) *Rectenna*, que é uma integração de antena de banda larga com diodo retificador de tensão; (2) Elevador de tensão; (3) Bateria para armazenamento da energia que pode ser carregada com tensões menores do que 1,2 V. Além disso, o sistema contém circuitos conversores *boost* e *buck*, reguladores de tensão e circuitos de controle. Esse sistema tem a finalidade de alimentar uma bateria por meio de um sinal de RF de um dispositivo portátil como um *walkie-talkie*.

Jabbar *et al.* (2010) apresentam um sistema de captação de energia de ondas eletromagnéticas com múltiplas antenas para diferentes frequências. Esse sistema é composto, além da antena e da bateria, por um circuito de casamento de impedância, para maximizar a transferência de potência entre a antena e o retificador, um retificador de tensão, que converte o sinal RF para uma tensão contínua, um multiplicador de tensão e um controlador de carga.

O trabalho de Martins e De Sousa (2013) apresenta um sistema de captação de energia de sinais RF específico para medição de biosinais, como a temperatura corpórea. Ele foi desenvolvido para atuar como um RFID passivo. O dispositivo comunica-se com um leitor externo. Esse leitor envia um sinal RF para a alimentação do circuito, que retorna um novo sinal de RF cuja frequência depende da temperatura.

O projeto apresentado por Yeager *et al.* (2010) é uma etiqueta RFID passiva compatível com um leitor comercial UHF, endereçável utilizando um protocolo padrão, que permite interoperabilidade com dispositivos comerciais. Esse sistema também foi desenvolvido para aplicações de monitoramento de biosinais.

O trabalho de Reddy *et al.* (2011) apresenta um sistema de captação de energia que coleta a energia tanto da vibração ambiente com um sensor piezoelétrico quanto de ondas eletromagnéticas com uma antena de RF de banda larga. O transdutor piezoelétrico fornece um sinal CA que passa por um retificador elevador de tensão e, posteriormente, por um elevador de tensão até uma bateria. O sinal de RF passa primeiramente por um retificador, depois por um elevador de tensão CC para CC, passando por um regulador de tensão até chegar à bateria. A antena utilizada pode receber sinais de RF de todas as direções e aceitar qualquer tipo de polarização, e possibilita que o retificador perceba a mesma impedância para diferentes frequências.

Fojtik *et al.* (2013) apresentam um medidor de temperatura alimentado por um sistema de captação de energia fotovoltaica, com micro células solares e armazenamento de energia em uma microbateria. O sistema alimenta um micro controlador ARM Cortex-M3, além dos demais circuitos. São empilhados 3 blocos (*die*): um contendo as células solares em silício, outro contendo a bateria de lítio de filme fino e um terceiro com os demais circuitos analógicos e digitais.

Weng *et al.* (2013) apresentam um sistema de captação de energia a partir de fontes térmicas. O sistema é composto por três estágios, *low-voltage starter*, *auxiliary step-up converter* e *zero-current-switching*, além dos circuitos, gerador de referência, controle lógico e gerador de *clock*. Cada um dos três estágios eleva a tensão para um nível maior e aciona o funcionamento dos demais circuitos pertencentes ao sistema.

Shokrani *et al.* (2014) apresentam um sistema de captação de energia via sinais RF. Seu foco principal é o desenvolvimento de um retificador de tensão composto por uma nova conexão de transistores CMOS em configuração de diodo. Os autores propõem uma nova configuração que permite reduzir a tensão de limiar e a corrente de fuga, levando ao aumento da tensão do elevador e da corrente de saída. Isso é possível por uma mudança da ligação do substrato do transistor conectado em configuração diodo, em que o substrato passa a ser ligado no mesmo ponto da porta e da fonte.

Considerando as arquiteturas de sistema de captação de energia identificadas na literatura, a

FIGURA 1 apresenta um resumo das fontes de energia, os blocos integrantes para tornar a energia utilizável e as formas de saída. Cada bloco representa um circuito que pode ou não ser utilizado por um tipo de fonte de energia. Por exemplo, para um

signal de RF os blocos utilizados são: retificador (RF/CC), limitador de tensão, oscilador, conversor CC para CC, regulador de tensão, casamento de impedância e fonte de referência e possivelmente controlador de carga. Já para as fontes de energia solar e térmica não há a necessidade de um circuito retificador e nem um circuito de casamento de impedância. A fonte de energia cinética precisa de um retificador, pois o sinal é variante no tempo, mas não precisa de um casamento de impedância, pois a frequência geralmente é muito baixa. Essa energia captada pode ser armazenada em uma bateria, em um capacitor ou pode ser utilizada para alimentar um circuito.

Fonte	Blocos para captação de energia			Saída
(RF) Sinal de RF	Retificador (RF) e (EC)	Limitador de tensão (RF),(EC),(ES) e (ET)	Oscilador (RF),(EC),(ES) e (ET)	Bateria
(EC) Energia Cinética	Conversor CC/CC (RF),(EC),(ES) e (ET)	Seletor de Modo de Operação (RF),(EC),(ES) e (ET)	Regulador de Tensão (RF),(EC),(ES) e (ET)	Capacitor
(ES) Energia Solar	Casamento de Impedância (RF)	Fonte de referência (RF),(EC),(ES) e (ET)	Controlador de Carga (RF),(EC),(ES) e (ET)	Circuitos
(ET) Energia Térmica				

FIGURA 1 - FONTES DE ENERGIA (ENTRADA), BLOCOS INTEGRANTES DOS SISTEMAS DE CAPTAÇÃO DE ENERGIA E FORMAS DE ARMAZENAMENTO E UTILIZAÇÃO (SAÍDA) IDENTIFICADOS NA LITERATURA

FONTE: o autor

No QUADRO 4 é apresentado um resumo com as principais características pertencentes aos sistemas de captação de energia identificados na literatura. Observa-se que a tensão de saída dos sistemas de captação de energia é geralmente muito baixa. Isso se dá pela limitação dos sistemas em elevar uma tensão muito baixa para um nível mais alto, sem que haja perdas. Dessa forma, o objetivo do projeto de cada circuito é que ele funcione com a maior eficiência possível.

As propostas apresentam melhorias de circuitos e de sistemas para aprimorar a captação de energia. Alterações de conexões de transistores MOS em configuração de diodo propostas por Shokrani *et al.* (2014) permitem maior corrente e tensão de

saída. A utilização de antenas de amplo espectro, proposta por Zhao *et al.* (2012), permite captar energia em uma faixa maior de frequências e não há necessidade de um circuito de casamento de impedância. Jabbar *et al.* (2010) propõem diversas fontes de sinais RF para elevar a absorção de energia. Yeager *et al.* (2010) e Martins e De Sousa (2013) apresentam sistemas completos de captação de energia em que os circuitos apresentem ultra baixo consumo de potência, mas com foco em medição de temperatura. Reddy *et al.* (2011) apresentam uma combinação entre fontes diferentes de captação de energia.

Embora algumas propostas apresentem blocos com funcionalidades específicas, vários componentes são comuns a todos os sistemas apresentados, como o retificador de tensão, o elevador de tensão e o regulador de tensão. Por esse motivo, esses blocos são estudados e desenvolvidos neste projeto.

A seguir, os trabalhos da literatura que apresentam gerador de *clock*, elevador de tensão e regulador de tensão são apresentados e comparados. Além disso, o embasamento teórico para o desenvolvimento de cada circuito e seus sub circuitos é apresentado e os passos para seu projeto são descritos.

Referência	Zhao <i>et al.</i> (2012)	Jabbar <i>et al.</i> (2010)	Martins e De Sousa (2013)	Yeager <i>et al.</i> (2010)	Reddy <i>et al.</i> (2011)	Fojtik <i>et al.</i> (2013)	Weng <i>et al.</i> (2013)	Shokrani <i>et al.</i> (2014)
Fonte de energia	RF 900 MHz	RF	RF 900 MHz	RF 900 MHz	Piezoelétrico e RF 900 MHz	Solar	Térmica	RF 900 MHz
Componentes	Retificador, Conversor de tensão CC/CC e Bateria	Rede de casamento de impedância, retificador, multiplicador de tensão e Controlador de Carga	Retificador, limitador de tensão, Seletor de modo, regulador de tensão, fonte de referência e modulador de carga	Retificador, regulador de tensão, referência de tensão e oscilador	Retificar, Elevador de tensão e regulador de tensão	Elevador de tensão, gerador de <i>clock</i> , regulador de tensão com referência e circuitos de controle	Três elevadores de tensão, (300 mV / 800 mV / 1,2 V), Gerador de referência, Controle lógico e gerador de <i>clock</i>	Rede de casamento de impedância, retificador, limitador de tensão, regulador de tensão
Tensão/Potência de Entrada	350 mV (CC) elevador	400 mV (CA) Só retificador	71 mV (CA)	-	1 V simulação (CC)	540 mV	50 mV (CC)	28 mV (CA)
Tensão/Potência de Saída	1,4 V	1,5 V Só retificador	1,2 V Saída do Retificador	0,7 V – 1,2 V – 1,8 V	4,1 V	3,3 V / 3,6 V	1,2 V	1,15 V
Armazenamento	Bateria	Bateria	-	-	Bateria	Bateria	-	-
Consumo	--	-	8,5 μ W ativo 4,9 μ W em espera	1,2 A núcleo analógico	-	7,7 W	-	-
Diferencial	Antena com retificador banda larga	Múltiplas antenas	-	-	-	Pilha de <i>die</i>	-	Configuração diodo do transistor
Distância	50 cm	2 cm	-	3 m	-	-	-	-
Área	-	-	0,34 mm^2 (Total)	2 mm^2 (Total)	-	-	-	-
Processo	CMOS 130nm	CMOS 250nm	CMOS 130nm	CMOS 130nm	CMOS 600nm	CMOS 180nm	CMOS 65nm	CMOS 180nm

QUADRO 4 - COMPARAÇÃO DOS SISTEMAS DE CAPTAÇÃO DE ENERGIA ENCONTRADOS NA LITERATURA

FONTE: o autor

2.1. O GERADOR DE CLOCK

Um gerador de *clock*, gerador CA ou oscilador é um circuito que gera um sinal alternado no tempo em um formato de onda específica, geralmente retangular, entre uma tensão mínima e uma tensão máxima, em uma frequência determinada, dependendo das características de projeto. No QUADRO 5 e na subseção 2.1.1 são apresentados os osciladores propostos na literatura, bem como suas principais características. Na sequência, o embasamento teórico para o desenvolvimento desse circuito é apresentado.

Neste trabalho o oscilador tem a função de fornecer carga aos capacitores do elevador de tensão a fim e carregá-los e descarregá-los. A maior parte da energia fornecida ao elevador de tensão é fornecida pelo oscilador.

Como o objetivo é aplicação em captação de energia, o oscilador precisa operar com baixa tensão e com baixo consumo de potência.

2.1.1. Estado da arte para gerador de *clock*

O trabalho de Farzeen *et al.* (2010) apresenta o projeto de um *Voltage-Controlled Oscillator* (VCO), diferencial, de dois estágios para dispositivos RFID UHF. A proposta visa a aprimorar uma célula diferencial básica com realimentação positiva, que permite a oscilação com apenas dois estágios, adicionando transistores que possibilitam o controle da frequência sem o uso de uma corrente de polarização.

No trabalho de Martins e De Sousa (2013), foi desenvolvido um oscilador em anel com 5 estágios em que a polarização dos transistores é obtida de uma fonte de referência que varia com a temperatura.

A tensão mínima para osciladores MOSFET é apresentada por Machado *et al.* (2014). Nesse trabalho foram abordados osciladores em anel com carga indutiva e um oscilador da topologia Colpitts. Foram utilizados transistores zero- V_t e indutores com alto fator de qualidade. Os autores obtiveram resultados em que os osciladores operaram com tensão abaixo de 5 mV, com elementos externos, e abaixo 30 mV, com elementos integrados.

Um oscilador em anel com estabilidade à variação da temperatura foi apresentado por Yeager *et al.* (2010). O oscilador é polarizado por uma referência de corrente e possui três estágios de inversores.

Hsieh e Lu (2007) apresentam o projeto de um oscilador controlado por tensão (VCO) implementando uma técnica chamada *forward-body-bias* e realimentação capacitiva a fim de melhorar o ruído de fase e o intervalo de variação da frequência.

No QUADRO 5, são apresentadas as características principais das propostas identificadas: topologia do oscilador, tensão de alimentação, frequência de oscilação, consumo de potência e processo de fabricação. Observa-se que a topologia de oscilador em anel é a mais utilizada e que a tensão de alimentação pode ser tão baixa quanto 30 mV. A frequência de oscilação varia de aproximadamente 5 MHz até 5,6 GHz, conforme a necessidade de projeto. O consumo de potência pode ser tão baixo quanto 24 nW, como apresentado por Farzeen *et al.* (2010). Algumas topologias de osciladores em anel possuem, além dos transistores PMOS e NMOS de uma porta lógica inversora, um transistor adicional de polarização, que pode ser PMOS ou NMOS. Esse transistor adicional é polarizado por uma corrente de referência e, dessa forma, precisa que um circuito gerador de tensão e corrente de referência seja projetado.

Referência	Topologia de Oscilador	Tensão	Frequência	Consumo	Área	Processo
Farzeen <i>et al.</i> (2010)	VCO	0,3V	5,12 MHz ($V_{ctrl} = 1 V$)	24 nW	-	CMOS 90 nm
Martins e De Sousa (2013)	Oscilador em Anel	1,2 V	~900 MHz	8,4 μA (Total)	0,34 mm ² (Total)	CMOS 130 nm
Machado <i>et al.</i> (2014)	Oscilador em Anel com Indutores e Oscilador Colpitts	30mV- 86mV	400 MHz – 700 MHz	-	-	CMOS 130 nm
Yeager <i>et al.</i> (2010)	Oscilador em Anel	700 mV	3 MHz	260 nA (180 nW)	2 mm ² (Total)	CMOS 130 nm
Hsieh e Lu (2007)	VCO	400 mV- 600 mV	5,6 GHz ($V_{ctrl} = 0,3 V$)	1 mW – 3 mW	0,49 mm ² (PADs)	CMOS 180 nm

QUADRO 5 - PROJETOS DE OSCILADORES IDENTIFICADOS NA LITERATURA

FONTE: o autor

2.1.2. Embasamento teórico para o desenvolvimento do gerador de *clock*

Um oscilador é baseado no atraso de cada estágio, como no caso de um oscilador em anel, em que a variação do período depende do atraso da porta lógica utilizada.

O atraso de propagação t_p de uma porta lógica representa a velocidade com que ela responde a uma mudança na sua entrada (BAKER, 2010). Para medir o atraso de propagação, observa-se o tempo entre o centro da excursão do sinal de entrada e o centro da excursão do sinal de saída, conforme exemplificado na FIGURA 2, para uma porta inversora. O atraso é associado à comutação do sinal de saída. Dessa forma, o tempo t_{pHL} indica o atraso para a comutação de alto (*High*) para baixo (*Low*), e o tempo t_{pLH} indica o atraso para a comutação de baixo (*Low*) para alto (*High*). O atraso de propagação t_p é a média entre os atrasos t_{pHL} e t_{pLH} , dado por:

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \quad (1).$$

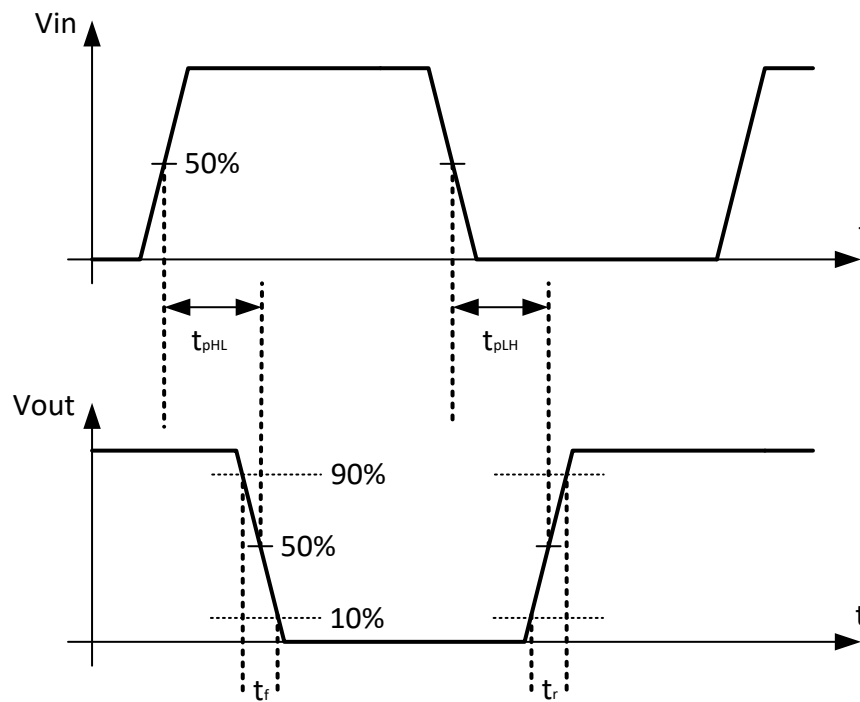


FIGURA 2 - DEFINIÇÃO DOS ATRASOS t_{pHL} E t_{pLH} , E TEMPOS DE SUBIDA E DESCIDA, PARA UMA PORTA INVERSORA
FONTE: Baker (2010)

Um oscilador em anel, como descrito no livro de Baker (2010), consiste em um número ímpar de inversores lógicos conectados em série. A saída do último inversor é ligada à entrada do primeiro, formando uma malha fechada. A FIGURA 3 apresenta um oscilador em anel com três estágios de portas inversoras. A frequência de oscilação de um oscilador em anel é baseada no atraso de cada inversor lógico, sendo que o

período de oscilação T é determinado pelo tempo de propagação t_p por meio do anel composto por n inversores, sendo assim:

$$T = 2 \cdot t_p \cdot n \quad (2).$$

Como um ciclo completo é composto por duas transições, o período de oscilação T é multiplicado por 2. Dessa forma, a frequência de oscilação f_{osc} é obtida por:

$$f_{osc} = \frac{1}{n \cdot (t_{PHL} + t_{PLH})} \quad (3).$$

O período de oscilação T deve ser muito maior do que a soma do tempo de subida (*rise*) t_r e o tempo de descida (*fall*) t_f , da porta lógica, caso contrário o circuito pode não entrar ou não permanecer em oscilação.

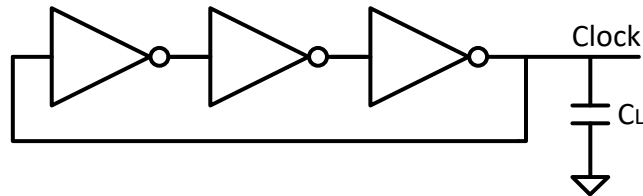


FIGURA 3 - OSCILADOR EM ANEL COM TRÊS ESTÁGIOS
FONTE: o autor

Os atrasos t_{pHL} e t_{pLH} são obtidos entre a multiplicação da capacitância de carga C_L da porta lógica, com a resistência equivalente R_{eqn} ou R_{eqp} dos transistores NMOS,

$$t_{pHL} = \ln(2) \cdot R_{eqn} \cdot C_L \quad (4),$$

e PMOS,

$$t_{pLH} = \ln(2) \cdot R_{eqp} \cdot C_L \quad (5),$$

respectivamente.

Segundo Ferreira (2004), as resistências equivalentes R_{eq} dos transistores NMOS e PMOS, considerando o modelo do transistor como interruptor, são relacionadas diretamente à tensão de alimentação V_{DD} e os efeitos de modulação do canal λ e relacionados inversamente à corrente de saturação I_{DSAT} , da seguinte forma:

$$R_{eq} \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right) \quad (6),$$

considerando o transistor em saturação com V_G (tensão da porta) igual a V_{DD} e V_{DS} (tensão dreno-fonte), inicialmente igual a V_{DD} , passando em seguida para $V_{DD}/2$.

Ainda segundo Ferreira (2004), sendo a corrente de saturação uma função de k' (em que $k' = \mu_{n(p)} C_{ox}$ é um parâmetro da tecnologia), da razão de aspecto W/L (W é a largura do canal do transistor e L é o comprimento), da tensão de alimentação V_{DD} , da tensão de limiar V_T e da tensão de saturação V_{DSAT} , a corrente de saturação I_{DSAT} é obtida por:

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right) \quad (7).$$

Isso significa que o tempo de atraso do inversor pode ser reduzido de três formas: (1) reduzindo a capacitância da carga C_L ; (2) aumentando a razão de aspecto W/L ; (3) aumentando a tensão de alimentação V_{DD} (V_{DD} , V_{DSAT} e I_{DSAT} são nomes dados para identificar as tensões e a corrente de um circuito genérico e dependendo da aplicação é modificado para melhor entendimento daquele circuito).

A capacitância de carga C_L e a tensão de alimentação V_{DD} geralmente são especificações de projeto e por isso não há margem para variações. Assim, a razão W/L passa a ser a única característica possível de ser modificada.

Para garantir maior homogeneidade de propagação do sinal na porta lógica, necessita-se, mas não obrigatoriamente, que os atrasos de propagação t_{pHL} e t_{pLH} sejam idênticos. Isso é possível fazendo com que as resistências equivalentes dos transistores NMOS e PMOS sejam as mais próximas possíveis.

Inicia-se adotando a dimensão mínima, da tecnologia CMOS, para o transistor NMOS, e aumenta-se a dimensão do transistor PMOS. Geralmente o comprimento do

canal (L) não é variado. Dessa forma, W passa a ser a variável de projeto. Se a dimensão do transistor PMOS for aumentada, t_{pLH} diminui, mas t_{pHL} aumenta, pois aumenta a capacitância de saída da porta e consequentemente C_L .

Como visto, uma carga C_L muito grande na saída do oscilador pode afetar drasticamente o atraso dos inversores e, consequentemente, a frequência de oscilação. Esse problema pode ser observado quando é feita a medição por um equipamento com uma carga capacitiva muito maior do que a carga de saída utilizada como parâmetro de projeto. Para evitar que a frequência de operação seja alterada pela carga, um *buffer* de saída é adicionado entre a saída do oscilador e a carga.

Esse *buffer* de saída consiste em uma série de inversores lógicos com suas dimensões aumentadas, em relação à anterior, por um fator “A” a cada estágio e a quantidade “N” de inversores.

A FIGURA 4 apresenta a relação entre os inversores, sendo que o primeiro é o próprio inversor, no segundo os valores de W do NMOS e do PMOS são multiplicados por A, no terceiro a largura de canal (W) é multiplicada por A^2 e assim por diante até N (BAKER, 2010).

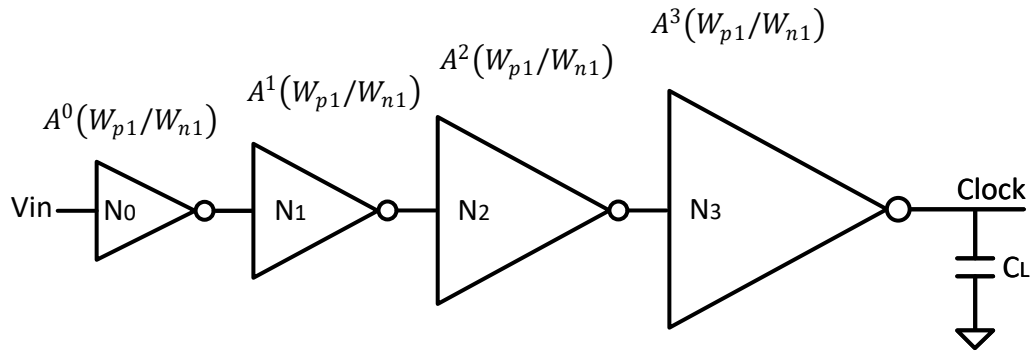


FIGURA 4 - TOPOLOGIA DO *BUFFER*. INVERSORES EM CASCATA USADOS PARA CARREGAR GRANDES CARGAS CAPACITIVAS
FONTE: Baker (2010)

Para obter a quantidade de inversores “N”, essa variável é relacionada com a capacitância de saída C_L e com a capacitância de entrada do primeiro inversor do *buffer* C_{in1} , da seguinte forma:

$$N = \ln \frac{C_L}{C_{in1}} \quad (8).$$

O fator de multiplicação “A” é relacionado com N, C_L e C_{in1} , por:

$$A = \left[\frac{C_L}{C_{in1}} \right]^{\frac{1}{N}} \quad (9).$$

A seguir, são apresentados os passos para o desenvolvimento do oscilador em anel:

Passo 1: escolher as dimensões mínimas da tecnologia, para os transistores NMOS e PMOS, e criar um oscilador em anel com o mínimo de estágios possível, que é três; obter o atraso desse oscilador e de cada inversor. O valor do W do PMOS pode ser variado até obter os valores próximos entre o tempo de subida e o tempo de descida.

Passo 2: com os valores conhecidos de t_{pHL} e t_{pLH} , e com a utilização da frequência desejada, é possível obter o número de estágios por meio da equação (3). Pelas equações (1) e (2) também é possível obter o período do oscilador em anel e consequentemente a frequência de oscilação.

Passo 3: para o desenvolvimento do *Buffer*, primeiramente deve ser definida uma carga que represente uma capacitância muito maior do que a capacitância interna, tornando-a desprezível. Com isso, mede-se novamente os atrasos t_{pHL} e t_{pLH} . Com esses valores é possível calcular as resistências do transistor NMOS R_{eqn} e do transistor PMOS R_{eqp} , por meio das equações (4) e (5). As equações (6) e (7) também podem ser utilizadas para encontrar as resistências dos transistores.

Passo 4: o próximo passo é medir os atrasos t_{pHL} e t_{pLH} sem a carga na saída, a fim de obter a capacitância de saída C_L em relação às resistências. Considerando que a capacitância de entrada $C_{in1} = 3/2 \cdot C_L$ (BAKER, 2010), é possível utilizar as equações (8) e (9) para encontrar o número de estágios do *buffer* “N” e o fator de multiplicação entre os estágios “A”.

2.2. ELEVADOR DE TENSÃO

O circuito elevador de tensão, traduzido do inglês de *Charge Pump*, é um conversor CC para CC, que usa uma combinação de diodos e capacitores como elemento de chaveamento e armazenamento de energia para elevar a tensão de entrada de um nível baixo para uma tensão de saída em um nível mais alto.

Geralmente necessita de dois sinais de *clock* defasados para o seu funcionamento, e sua eficiência depende das características de projeto. A seguir são apresentados elevadores de tensão identificados na literatura. No QUADRO 6, são apresentados os trabalhos identificados assim como as características principais dos respectivos elevadores de tensão. Na sequência, o embasamento teórico para o desenvolvimento do circuito de um elevador de tensão é apresentado.

2.2.1. Estado da arte para o elevador de tensão

A topologia de elevador de tensão CC para CC utilizada por Reddy *et al.* (2011) é a forma mais básica da topologia Dickson (1976), FIGURA 5 (a), que utiliza dois sinais de *clock* defasados e possui acoplamento capacitivo e os transistores na configuração diodo.

Zhao *et al.* (2012) apresentam um elevador de tensão de CC para CC chamado de *Switched-Capacitor DC–DC Converter*, FIGURA 5 (c), desenvolvido por Salter *et al.* (2009). Composto por 3 estágios, esse circuito utiliza capacitores externos (*off-chip*) e dois sinais de *clock* com fases invertidas. Essa topologia funciona da seguinte maneira: a variação dos sinais de *clock*, entre alto e baixo, modifica a configuração dos capacitores entre série e paralelo. Quando configurados em paralelo, os capacitores são carregados pela tensão de entrada. Quando configurados em série, os capacitores transferem a energia para a carga ou carregam uma bateria.

Pelliconi *et al.* (2003) apresentam uma topologia de elevador de tensão com eficiência energética utilizando transistores de baixa tensão e *clock* de duas fases, FIGURA 5 (d). A fim de reduzir a área utilizada pelos capacitores, sem perder corrente de saída, a frequência de operação é elevada. Os autores propõem a utilização de transistores chamados *triple-well*, que permitem mudar a tensão do *bulk* dos transistores NMOS, a fim de diminuir a tensão de limiar para suportar tensões mais altas do que a tensão máxima de alimentação.

O trabalho desenvolvido por Abdelaziz *et al.* (2011) apresenta um elevador de tensão Pelliconi modificado, FIGURA 5 (e). Para operar em baixas tensões, os autores utilizam uma técnica denominada *Clock boosting* (aumento da tensão do *clock*), que permite aumentar a tensão de saída de cada estágio, reduzindo, assim, o número de estágios. Outra técnica utilizada é chamada de *Vt cancellation*, que utiliza um circuito auxiliar permitindo que o elevador de tensão opere com tensões de entrada baixas, como, por exemplo, 300 mV. A topologia apresentada combina as topologias Pelliconi

com a Dickson *Dynamic* CTS, FIGURA 5 (f), que é uma adaptação da Dickson *Static* CTS, FIGURA 5 (b).

New *et al.* (2012) apresentam um elevador de tensão para baixa tensão de entrada com baixo *ripple* na tensão de saída e alta eficiência, FIGURA 5 (h). A proposta apresentada pelos autores é um novo circuito elevador de tensão usando a topologia *Cross-coupled*, FIGURA 5 (g), e implementando o controle CTS do *Dynamic* CTS, FIGURA 5 (f) (WU; CHANG, 1998), a fim de proporcionar baixo *ripple*.

O QUADRO 6 apresenta a comparação entre os elevadores de tensão identificados na literatura. Como pode ser observado, a proposta de Abdelaziz *et al.* (2011) apresenta menor tensão de entrada e maior tensão na saída com menor número de estágios em relação à proposta de Pelliconi, mesmo com as melhorias de *clock*, sendo duas vezes a tensão de entrada, e troca do transistor PMOS por NMOS como diodo. Isso representa maior eficiência em conversão de tensão. Outro ponto relevante é que uma maior frequência representa maior corrente na saída. Devido ao efeito de corpo, a tensão de limiar (considerando transistor padrão da tecnologia, ou seja, não utilizando zero- V_t ou baixo- V_t) aumenta ao longo dos estágios, tornando, dessa forma, a topologia Dickson inadequada para aplicações de baixa tensão. De forma semelhante, a topologia *Dynamic CTS* sofre com perdas de tensão. Os transistores zero- V_t apresentam maior perda devido à corrente de fuga e, dessa forma, a utilização de transistores padrão com arranjo para compensar o V_t em baixa tensão poderia apresentar maior eficiência.

Referência	Reddy <i>et al.</i> (2011)	Zhao <i>et al.</i> (2012)	Pelliconi <i>et al.</i> (2003)	Abdelaziz <i>et al.</i> (2011)	New <i>et al.</i> (2012)
Frequência do clock	20 MHz	20 Hz	100 MHz	1 MHz	60 MHz
Topologia	Dickson	Switched-Capacitor DC–DC Converter	Pelliconi	Pelliconi modificada	Cross-coupled modificada
V_{CLOCK}	$1,5 \cdot V_{DD}$	V_{DD}	V_{DD}	$2 \cdot V_{DD}$	V_{DD}
Estágios	9	3	3 e 4	6	2
V_{IN}	1 V	350 mV	1,6 V e 2 V	300 mV	1 V
V_{OUT}	5 V	1,4 V	4,5 V e 10 V	3,04 V	~0,56 V
I_{OUT}	100 μ A	-	~350 μ A	2,8 μ A	10 mA
Eficiência	-	40,5 %	56 %	66 %	-
Tecnologia	CMOS 600 nm	CMOS 130 nm	CMOS 180 nm	CMOS 250 nm	CMOS 45 nm

QUADRO 6 - CARACTERÍSTICAS PRINCIPAIS DOS PROJETOS DE ELEVADORES DE TENSÃO IDENTIFICADOS NA LITERATURA

FONTE: o autor

Em resumo, como mostrado no QUADRO 6 e na FIGURA 5, as topologias identificadas são: *Dickson*, *Switched-Capacitor DC–DC Converter*, *Dickson Static CTS*, *Dickson Dynamic CTS*, *Pelliconi*, *Pelliconi* modificada e *Cross-coupled* modificada. A topologia Pelliconi modificada é a que se apresenta mais adequada para operar com baixas tensões, pois a compensação da tensão de limiar faz com que a tensão aplicada no transistor seja maior em comparação com a topologia Pelliconi. Por operar em frequências mais elevadas, os capacitores tendem a ser menores. Dessa forma, a quantidade de área para a implementação do elevador de tensão é menor. Por esses motivos, a seguir serão apresentados os passos e a teoria para o desenvolvimento de um elevador de tensão com essa topologia.

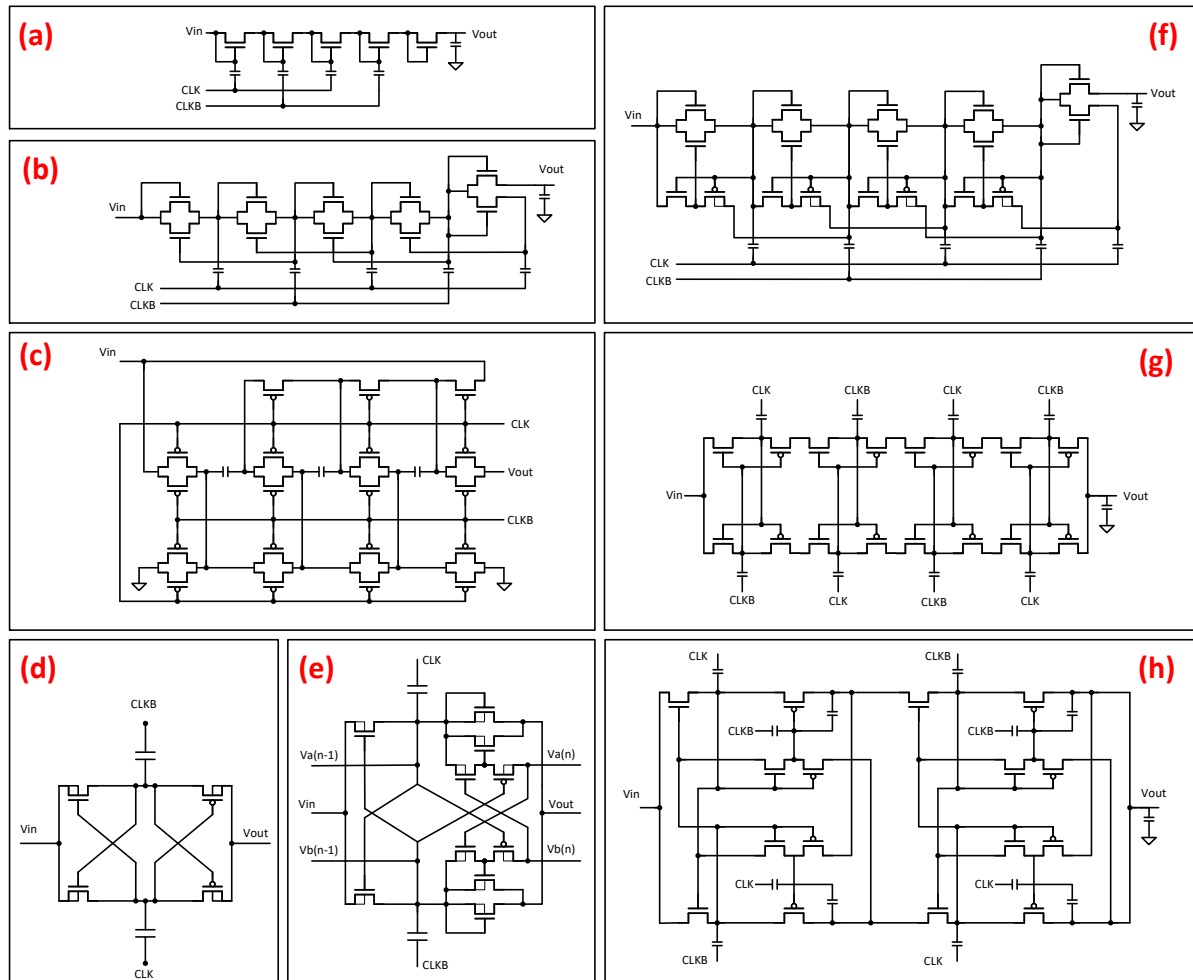


FIGURA 5 - TOPOLOGIAS DE ELEVADORES DE TENSÃO CC PARA CC IDENTIFICADAS NA LITERATURA: (a) Dickson com quatro estágios, (b) Dickson *Static CTS* com quatro estágios, (c) Conversor CC para CC *switched capacitor* com três estágios, (d) um estágio da topologia Pelliconi (e) um estágio da topologia Pelliconi modificada, (f) Dickson *Dynamic CTS*, (g) *Cross-coupled* com quatro estágios e (h) *Cross-coupled* combinado com o *Dynamic CTS* com dois estágios

FONTE: o autor

2.2.2. Embasamento teórico para o desenvolvimento do elevador de tensão

O funcionamento da topologia proposta por Pelliconi *et al.* (2003) é descrito a seguir. Como mostrado na FIGURA 6 (a), após o transitório inicial, uma situação estacionária é alcançada. Sendo CLK e CLKB os sinais de *clock* e *clock* invertido, respectivamente, V_{clk} a tensão de amplitude do sinal de *clock*, V_{in1} a tensão de entrada do primeiro estágio, V_{out1} a tensão de saída do primeiro estágio e V_t a tensão de limiar do transistor, o circuito funciona da seguinte maneira:

- Durante o primeiro meio ciclo de *clock* com $CLK = V_{clk}$ e $CLKB = GND$, os transistores M0 e M3 estão ligados, M1 e M2 estão desligados, o capacitor C1 é carregado para V_{in1} , V_{out1} é carregado para o valor memorizado em C0 (isto é V_{in1}) mais V_{clk} .
- Durante o segundo meio ciclo, $CLK = GND$ e $CLKB = V_{clk}$, M0 e M3 estão desligados, M1 e M2 estão ligados, então C0 é carregado para V_{in1} , V_{out1} é carregado para $V_{in1} + V_{clk}$. Um ganho de tensão é, portanto, obtido entre V_{in1} e V_{out1} .

Agora, observando a FIGURA 6 (b), o circuito funciona da seguinte maneira:

- Quando o sinal de *clock* CLKB mudar para alto, C1 é carregado e a tensão nodal V1 passa a ser V_{clk} , dessa forma V_{out1} passa a ser: $(V_{in1} + V0) - V_{tM3}$.
- Quando o sinal de clock CLK mudar para alto, C0 é carregado e a tensão nodal V0 passa a ser V_{clk} , dessa forma, V_{out1} passa a ser: $(V_{in1} + V1) - V_{tM2}$. O potencial V_{out1} é sempre igual a $2 \cdot V_{in1} - V_t$.

Portanto, a tensão de saída de cada estágio $V_{out(n)}$ é dada por:

$$V_{out(n)} = V_{in(n)} + V_{clk} - V_t \quad (10),$$

e a função de transferência do elevador de tensão é dada por:

$$V_{OUT} = (n + 1) \cdot V_{IN} - V_t \quad (11),$$

sendo V_{OUT} a tensão de saída do elevador de tensão, V_{IN} a tensão de entrada e n o número de estágios.

Dependendo do tipo de transistor utilizado, o valor de V_t impacta na tensão de saída do elevador de tensão e, dessa forma, devem ser empregadas estratégias para diminuir o seu valor.

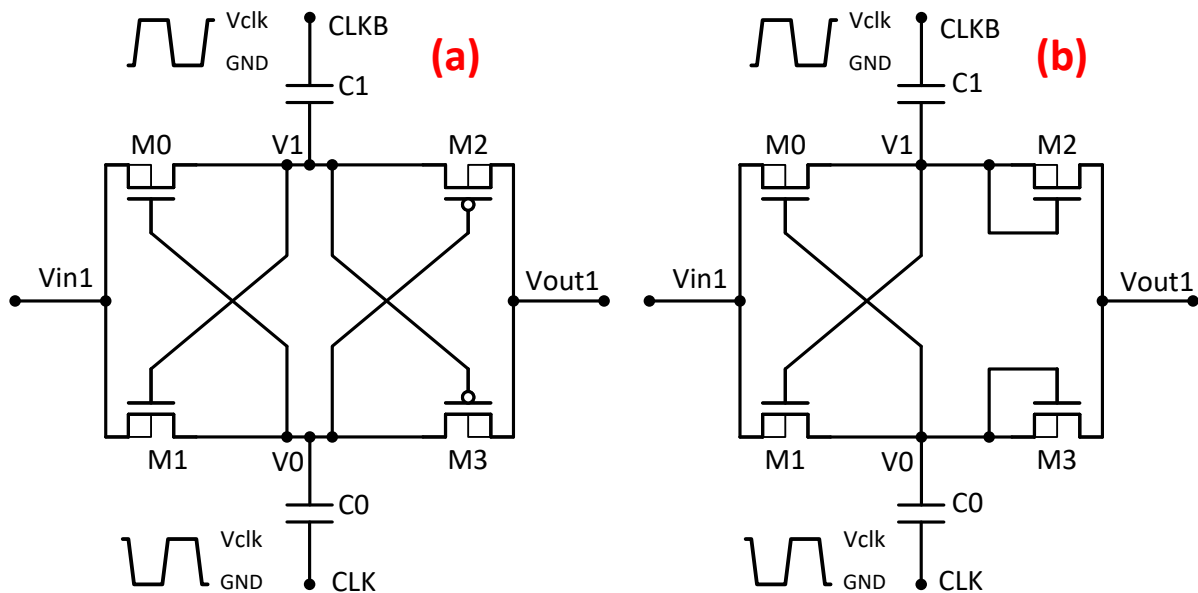


FIGURA 6 - (A) ELEVADOR DE TENSÃO PROPOSTO POR PELLICONI *ET AL.* (2003);
(B) ELEVADOR DE TENSÃO PELLICONI MODIFICADO COM SOMENTE TRANSISTORES NMOS
FONTE: o autor

O circuito Pelliconi modificado por Abdelaziz *et al.* (2011) é apresentado na FIGURA 6 (b). O princípio de funcionamento é idêntico ao Pelliconi original apresentado na FIGURA 6 (a). A proposta dos autores é composta por três blocos; o núcleo *Charge Pump*, o circuito auxiliar chamado *Vt cancellation* e um circuito auxiliar chamado *clock booster*.

O núcleo do elevador de tensão é baseado na topologia Pelliconi, a diferença é que o transistor PMOS é substituído por um NMOS *low-Vt* em configuração diodo, devido ao V_t ser menor.

O *clock booster* é um circuito que multiplica a tensão do sinal de *clock* V_{clk} original por 2 ($V_{clk,novo} = 2 \cdot V_{clk,anterior}$). Com uma tensão de *clock* igual a duas vezes a tensão de entrada, reduz-se a perda causada pela queda de tensão do V_t do transistor, por estágio. E, como a resistência equivalente de saída diminui, devido à diminuição do número de estágios, a eficiência aumenta. Um oscilador em anel com

amplitude dos sinais de *clock* igual a duas vezes a tensão de entrada do elevador de tensão tem a mesma função do *clock booster* e, dessa forma, não há a necessidade de adicionar esse circuito.

Ao diminuir V_t , limita-se o desempenho a baixas tensões e, dessa forma, um circuito auxiliar foi conectado a cada NMOS como diodo a fim de limitar a queda do V_t e aumentar a eficiência. Esse circuito adicional chamado de *Vt cancellation* funciona da seguinte maneira:

- Sendo n a variável que representa o número do estágio, $V_{clk} = 2 \cdot V_{in}$, e as interligações conforme apresentadas na
- FIGURA 7. O circuito auxiliar é composto por 2 transistores NMOS (M_S e M_{DN}) e um PMOS (M_{DP}).
- Quando CLK é baixo e $CLKB$ é alto ($2 \cdot V_{in}$), as tensões nos nós são: $V_1 = 3 \cdot V_{in}$, $V_0 = V_{in}$, $V_{a(n)} = 5 \cdot V_{in}$, $V_{b(n)} = 3 \cdot V_{clk}$ e $V_{out(n)} = 3 \cdot V_{clk}$. A tensão de fonte-porta de M_{DP7} é $4 \cdot V_{in}$ e a tensão fonte-porta de M_{S4} é $2 \cdot V_{in}$.
- Se: $4 \cdot V_{in} > |V_{tp}|$ e $2 \cdot V_{in} > V_{tn}$, então, M_{DP7} é ativado e consequentemente M_{S4} também é ativado. M_{DN6} é desligado uma vez que a sua tensão porta-fonte é zero.
- Quando CLK é alto ($2 \cdot V_{in}$) e $CLKB$ é baixo, as tensões nos nós são: $V_1 = V_{in}$, $V_0 = 3 \cdot V_{in}$, $V_{a(n)} = 3 \cdot V_{in}$, $V_{b(n)} = 5 \cdot V_{in}$ e $V_{out(n)} = 3 \cdot V_{in}$. A tensão de fonte-porta do M_{DP7} é zero, de modo que será desligado. A tensão porta-fonte de M_{DN6} é $4 \cdot V_{in}$.
- Se: $4 \cdot V_{in} > V_{tn}$, então M_{DN6} é ativado e consequentemente M_{S4} é desligado.
- Como a tensão comparada ao V_t do transistor PMOS é $4 \cdot V_{in} > |V_{tp}|$ e do transistor NMOS é $2 \cdot V_{in} > V_{tn}$, o elevador de tensão Pelliconi modificado é mais adequado para aplicações de baixa tensão.

Não há necessidade de um estágio de saída especial, pois o sinal de controle para a fase anterior já existe nos nós $V_{a(n)}$ e $V_{b(n)}$.

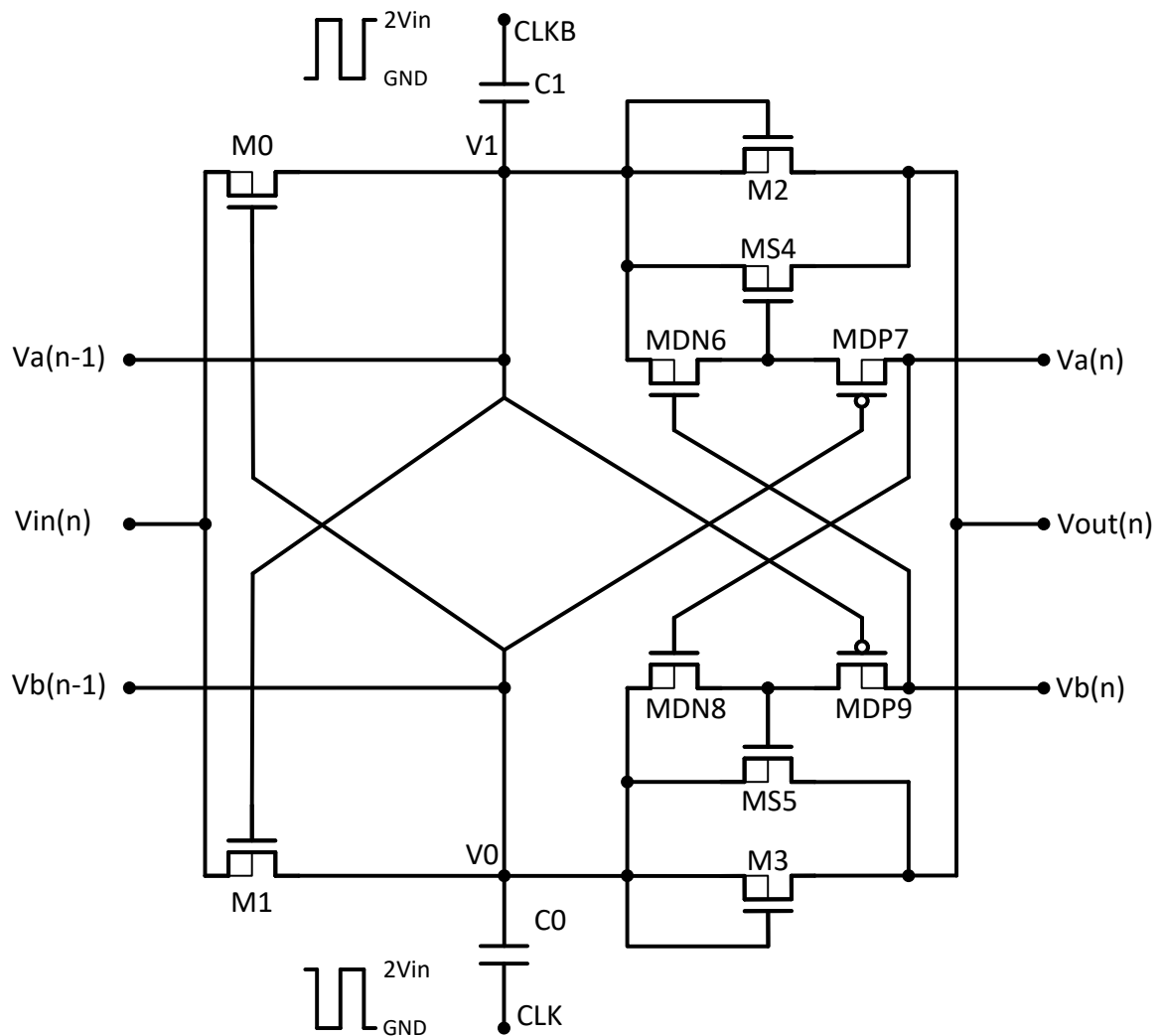


FIGURA 7 - ESTÁGIO DO ELEVADOR DE TENSÃO PELLICONI MODIFICADO
FONTE: o autor

Pan e Samaddar (2006) apresentam quatro passos necessários para definir os parâmetros básicos de um elevador de tensão. Com o objetivo de criar um circuito mais eficiente possível, os passos para o desenvolvimento do circuito são: (1) determinar o número de estágios, (2) encontrar a frequência de operação, (3) o tamanho dos capacitores e (4) encontrar a dimensão dos transistores. Todos os valores encontrados, a partir desses passos, são valores iniciais de projeto e podem ser aprimorados com simulações a fim de obter melhores resultados.

Passo 1: identificar o número de estágios referentes à topologia utilizada, por meio da equação (11) ou pela equação apresentada por Pelliconi *et al.* (2003):

$$V_{out} = V_{in} + n \cdot \Delta V \quad (12),$$

em que V_{out} é a tensão de saída do estágio, V_{in} é a tensão de entrada do estágio, n o número de estágios e ΔV a variação de tensão dada por:

$$\Delta V = V_{clk} \left(\frac{C}{C + C_{par}} \right) - R_{out} i_{out} \quad (13),$$

sendo V_{clk} a tensão de alimentação do *clock*, C o valor de capacitância de cada estágio, C_{par} a capacitância parasita, R_{out} e i_{out} a resistência e corrente de saída, respectivamente. A resistência de saída é obtida por:

$$R_{out} = \frac{1}{f_{osc} C} + R_{switch} \quad (14).$$

sendo f_{osc} a frequência de oscilação, C o valor de capacitância de cada estágio e R_{switch} a resistência de comutação dos transistores (PELLICONI *et al.*, 2003).

Passo 2: identificar a frequência de oscilação f_{osc} do sinal de *clock*, que apresenta a maior tensão de saída do elevador de tensão e, conseqüentemente, maior eficiência. A frequência de operação dos sinais de *clock* e *clock* invertido pode ser obtida por meio de uma simulação em que a frequência é variada entre um intervalo que possa ser adequado para a operação do sistema. Geralmente utiliza-se intervalo de 2 MHz até 50 MHz.

Passo 3: identificar o valor do capacitor. Considerando que:

$$I_{out} = C_L \cdot \frac{V_{out}}{T_{ramp}} \quad (15),$$

sendo I_{out} a corrente de saída, C_L a capacitância de carga, V_{out} a tensão de saída e T_{ramp} o tempo de rampa de subida, e considerando que:

$$i_{out} = C \frac{dV}{dT} \quad (16),$$

sendo i_{out} a corrente de saída de cada estágio, C a capacitância do estágio do elevador de tensão, dV a variação de tensão, dT a variação de tempo do sinal (Período), é possível, igualando as correntes, encontrar o valor do capacitor de cada estágio. As tensões no tempo V_{out}/T_{ramp} e dV/dT e a carga de saída C_L são parâmetros de projeto.

Passo 4: determinar as dimensões dos transistores. Considerando o circuito em regime estacionário, é possível encontrar as dimensões dos transistores seguindo a teoria apresentada por Montoro e Schneider (2010), em que a corrente direta é dada por:

$$I_F = \frac{1 + \sqrt{1 + i_f}}{2 \cdot sf} \cdot \phi_t \cdot g_m \quad (17),$$

sendo que os valores para $sf = 1,25$ o fator de inclinação (*slope fator*), $\phi_t = 27 \text{ mV}$ o potencial térmico e i_f nível de inversão desejado (fraca, moderada ou forte). A dimensão dos transistores é obtida por:

$$\frac{W}{L} = \frac{I_F}{i_f \cdot I_{SQ}} \quad (18),$$

em que a corrente de normalização de folha I_{SQ} (*sheet normalization current*) é dada por:

$$I_{SQ,N(P)} = \mu_{N(P)} \cdot C'_{OX,N(P)} \cdot sf \cdot \frac{\phi_t^2}{2} \quad (19)$$

e $C'_{OX,N(P)}$ e $\mu_{N(P)}$ são parâmetros da tecnologia ($\mu_N C'_{OX,N} = 3,0666e - 4$, $\mu_P C'_{OX,P} = 6,8943e - 5$). Os valores do comprimento do canal L são atribuídos para encontrar o valor da largura do canal W .

2.3. REGULADOR DE TENSÃO

O circuito regulador de tensão tem a função de entregar na sua saída uma tensão regulada, dada uma variação limitada na tensão de entrada. Um tipo de regulador de tensão adequado, principalmente para aplicações de baixa tensão, é conhecido como *Low Dropout* (LDO). *Low Dropout* significa que a tensão da saída pode ser até muito próxima da tensão de entrada. As funções principais do LDO são evitar oscilações do nível de tensão na saída do sistema e reduzir a tensão a um nível desejado. A seguir são apresentados projetos de regulador de tensão identificados na literatura. No QUADRO 7 apresentam-se as principais características identificadas. Na sequência, o embasamento teórico para o desenvolvimento desse circuito é indicado. A FIGURA 8 revela o funcionamento do regulador de tensão, em que a tensão de entrada é regulada a partir de um valor próximo à tensão especificada para a saída. As tensões abaixo da especificação não sofrem alteração.

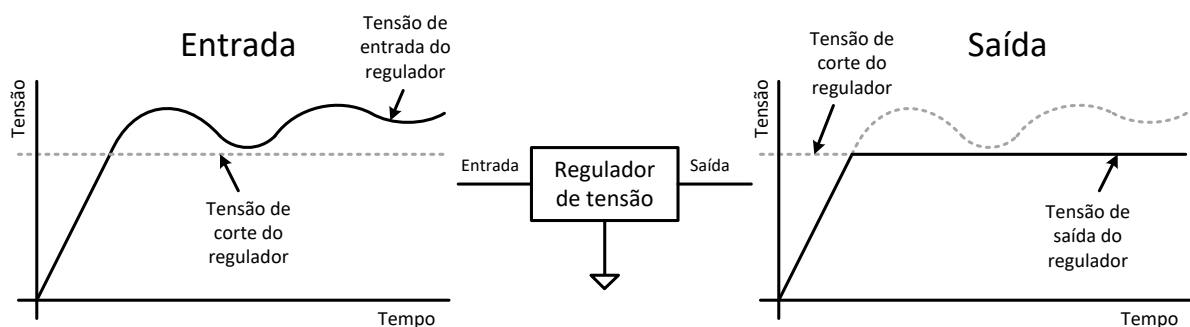


FIGURA 8 - FUNCIONAMENTO DO REGULADOR DE TENSÃO EM TERMOS GERAIS
FONTE: o autor

2.3.1. Estado da arte do regulador de tensão

Martins e De Sousa (2013) apresentam um regulador de tensão LDO que consome apenas 2,3 μA , com tensão de alimentação de 1,2 V e tensão de saída de 0,8 V. O circuito é composto por um amplificador operacional de dois estágios, um transistor de passagem PMOS e realimentação com dois resistores formando um divisor de tensão.

O projeto apresentado por Shokrani *et al.* (2014) possui um regulador de tensão LDO composto por um amplificador operacional de um estágio, um transistor de passagem PMOS e transistores NMOS como divisores de tensão para gerar a tensão da realimentação.

Yeager *et al.* (2010) apresentam três reguladores de tensão. Cada regulador é desenvolvido para um núcleo diferente do circuito: digital, analógico e circuitos *off-chip*. Os reguladores utilizam um amplificador de dois estágios.

Choi *et al.* (2009) propõem um regulador de tensão (LDO) usando um *buffer* com ultra baixa resistência de saída entre o amplificador e o transistor de passagem. O *buffer* proposto adiciona mais um pólo, gerado internamente devido à capacitância parasita do transistor a fim de aumentar a estabilidade do sistema de realimentação.

Liu e Chen (2013) propõem um regulador de tensão de ultra baixo consumo de potência projetado para aplicações de RFID. A proposta compensa a variação da tensão de alimentação e a corrente da carga com coeficiente de temperatura nulo. O circuito contém duas partes: um gerador de referência com compensador de temperatura e um regulador de tensão LDO de baixa potência. A maioria dos transistores MOSFET utilizados operam na região de *subthreshold* para baixo consumo de potência.

Em resumo, há várias implementações de reguladores de tensão LDO com características diversas, conforme apresentado no QUADRO 7. A topologia não varia e consiste de um amplificador de erro, um transistor de passagem e um circuito divisor de tensão composto por resistores ou transistores. Como observado por Liu e Chen (2013), para uma corrente estável com pouca variação dinâmica e uma grande variação de tensão de alimentação é inevitável a utilização de espelhos de corrente em *cascode* para os circuitos de referência de tensão e corrente. Mas um amplificador *cascode* pode limitar a excursão da tensão de saída. O consumo de corrente varia entre 100 nA e 130 uA. Isso significa que o elevador de tensão pode operar com uma corrente muito baixa, visando ao pouco consumo de potência ou à corrente mais alta dependendo das necessidades do projeto.

Referência	Topologia	V_{IN}	V_{OUT}	Corrente de consumo	Área	Processo
Martins e De Sousa (2013)	LDO, Amplificador com dois estágios	1,2 V	0,8 V	2,3 μ A	0,34 mm ² (Total)	CMOS 130 nm
Shokrani <i>et al.</i> (2014)	LDO, Amplificador com um estágio	2 V	1,8 V – 1,1 V	-	-	CMOS 180 nm
Yeager <i>et al.</i> (2010)	LDO, Amplificador com dois estágios	3,8 V	0,7 V - 1,2 V - 1,8 V	100 nA	2 mm ² (Total)	CMOS 130 nm
Choi <i>et al.</i> (2009)	LDO com amplificador mais <i>buffer</i>	2,5~5,5 V	0,6~3,3 V	130 uA	-	CMOS 180 nm
Liu e Chen (2013)	LDO, Amplificador com um estágio	1,5 V	1,0 V	100 nA	-	CMOS 65 nm

QUADRO 7 - CARACTERÍSTICAS PRINCIPAIS DOS PROJETOS DE REGULADOR DE TENSÃO IDENTIFICADOS NA LITERATURA

FONTE: o autor

2.3.2. Embasamento teórico para o desenvolvimento do regulador de tensão

Conforme é apresentado na FIGURA 9, o regulador de tensão LDO é composto por um amplificador operacional, um transistor de passagem do tipo PMOS e um divisor de tensão resistivo para a realimentação, além da entrada de referência de tensão, que é fornecida por um circuito adicional, e a referência de corrente para polarizar os transistores do amplificador (VA e VB).

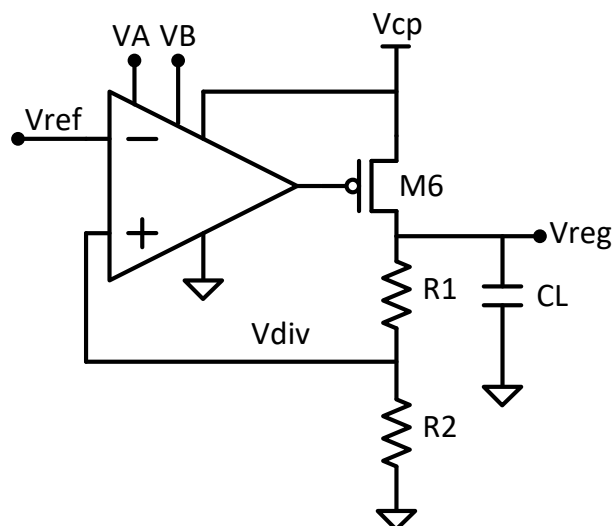


FIGURA 9 - TOPOLOGIA DO REGULADOR DE TENSÃO LDO

FONTE: o autor

Um regulador de tensão LDO funciona da seguinte maneira: uma tensão de referência V_{ref} é ligada à entrada inversora do amplificador e a tensão de saída do divisor resistivo de tensão V_{div} é ligada à entrada não inversora. Quando V_{reg} for alto ($V_{ref} > V_{div}$), o nível da tensão de saída do amplificador diminui, e quando V_{reg} for baixo ($V_{ref} < V_{div}$) esse nível aumenta. A tensão na saída desse amplificador controla a corrente do transistor de passagem. Desse modo, V_{div} tende a V_{ref} , ou seja, V_{reg} tende a $V_{ref}(R_1 + R_2)/R_2$. O amplificador operacional tem a função de amplificar a diferença entre os valores da tensão de referência e da tensão de realimentação. O transistor de passagem é controlado pela saída do amplificador para variar a passagem de corrente. Como o transistor de passagem é do tipo PMOS, a realimentação positiva passa a ser negativa. As tensões VA e VB são entradas para as portas do espelho de corrente que polariza o amplificador. V_{cp} é a tensão de saída do elevador de tensão, que é a entrada do regulador de tensão.

O principal componente do regulador de tensão é o amplificador operacional. Como apresentado na FIGURA 10, um amplificador diferencial pode ser de dois tipos: (a) amplificador operacional com transistores NMOS na entrada e (b) amplificador operacional com transistores PMOS na entrada. Para aplicação de baixa tensão, devido à tensão de limiar V_t do NMOS ser menor do que a tensão de limiar do PMOS, utiliza-se a topologia com transistores NMOS na entrada. Pode ser desenvolvido com um ou dois estágios. O primeiro estágio tem um ganho maior e o segundo estágio faz com que a excursão da tensão de saída seja maior. Amplificadores operacionais *cascode*, apesar de possibilitarem maior ganho, podem não ser adequados para aplicação em baixa tensão.

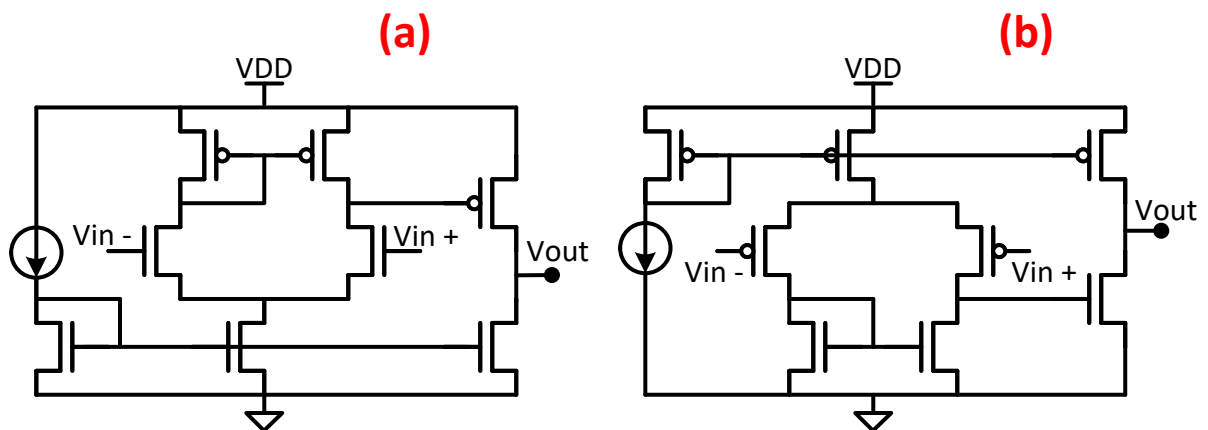


FIGURA 10 - (A) AMPLIFICADOR OPERACIONAL COM TRANSISTORES NMOS NA ENTRADA; (B) AMPLIFICADOR OPERACIONAL COM TRANSISTORES PMOS NA ENTRADA
FONTE: o autor

A saída do amplificador operacional V_o é uma tensão proporcional à diferença de tensão entre as duas entradas V_i , inversora V_- e não inversora V_+ , multiplicada por um ganho A_v , desta forma:

$$V_o = A_v V_i = A_v (V_+ - V_-) \quad (20).$$

Como apresentado na FIGURA 11, o primeiro estágio contém o amplificador diferencial com os transistores NMOS, M1 e M2. Um amplificador inversor CMOS simples é utilizado como segundo estágio, com o transistor M6. Os transistores M3 e M4 atuam como espelho de corrente e carga ativa, e o transistor M7 atua como carga ativa. A entrada é diferencial e a saída é simples. O circuito de referência de corrente fornece as tensões V_A e V_B , que polarizam os transistores M9 e M10 em modo *cascade*, que, por sua vez, fornecem a corrente I_{bias} de polarização através do espelho de corrente com transistor M8 para M5 e M7. Caso não apresente estabilidade, um capacitor C_c é inserido entre a saída do primeiro estágio e a saída do segundo estágio. O capacitor C_c , conhecido como capacitância Miller, separa os polos do sistema, possibilitando maior estabilidade em malha aberta.

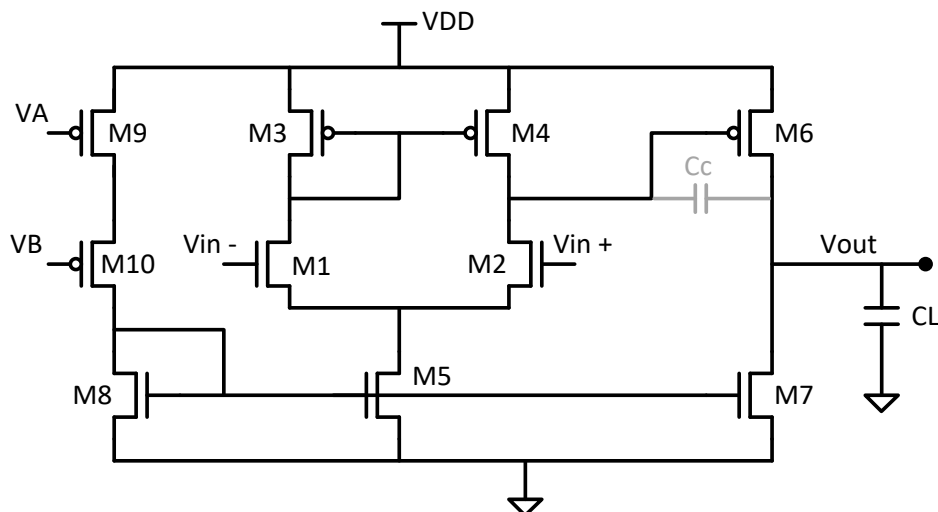


FIGURA 11 - AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS COM COMPENSAÇÃO MILLER
FONTE: o autor

As características de projeto do amplificador operacional, apresentadas a seguir, são uma compilação das seguintes referências: Poonam *et al.* (2013), Gray e

Meyer (1982), Acosta (1997), Allen e Holberg (2002) e Gouveia (1992). O desenvolvimento de um amplificador operacional, assim como qualquer outro circuito integrado, depende de dois tipos de informação: restrições de projeto e especificações. Nesse caso, as restrições de projeto geralmente são: tensão de alimentação, parâmetros da tecnologia e temperatura. As especificações são as características do circuito que guiam o desenvolvimento. No caso de um amplificador operacional, as especificações típicas e as especificações desejadas para um sistema de captação de energia (baixo consumo de corrente) são apresentadas no QUADRO 8. Para os valores desejados, algumas considerações são feitas: não há a necessidade de um ganho muito elevado; o amplificador não necessariamente deve apresentar uma resposta muito rápida; desde que o sistema completo (regulador de tensão) seja estável, não há a necessidade de que somente o amplificador seja. O consumo de corrente tem de ser o mínimo possível, mesmo que não atinja as especificações típicas.

Especificação	Valores típicos	Valores desejados para este trabalho
Ganho (<i>Gain</i>)	≥ 60 dB	≥ 50 dB
Produto ganho banda (<i>Gain Bandwidth</i>)	≥ 5 MHz	≥ 5 MHz
Tempo de Acomodação (<i>Settling Time</i>)	≤ 1 μ s	≤ 1 μ s
Margem de fase, <i>Phase Margin</i> (PM)	$> 55^\circ$	$> 55^\circ$
Taxa de inclinação (<i>Slew Rate</i>)	≥ 5 V/ μ s	$\geq 0,1$ V/ μ s
Faixa de tensão de modo comum, <i>Input common-mode range</i> (ICMR)	$\geq \pm 1,5$ V (para $V_{dd} = \pm 2,5$ V)	$\geq 0,6$ V ($V_{dd} = 1,2$ V)
Taxa de rejeição de modo comum, <i>Common-mode rejection ratio</i> (CMRR)	≥ 60 dB	≥ 60 dB
Taxa de rejeição de tensão de alimentação, <i>Power supply rejection ratio</i> (PSRR)	≥ 60 dB	≥ 60 dB
<i>Output swing</i>	$\geq \pm 1,5$ V (para $V_{dd} = \pm 2,5$ V)	$\geq 0,6$ V ($V_{dd} = 1,2$ V)
<i>Offset</i>	$\leq \pm 10$ mV	$\leq \pm 1$ mV
Área de leiaute	$\leq 5000 \times (L_{\text{mínimo}})^2$	$\leq 7,2 \cdot 10^{-5} \text{ mm}^2$
Potência dissipada	Menor possível	$1,2 \text{ V} \cdot 3 \mu\text{A} = 3,6 \mu\text{W}$

QUADRO 8 - ESPECIFICAÇÃO TÍPICA PARA DESENVOLVIMENTO DE UM AMPLIFICADOR OPERACIONAL

FONTE: Allen e Holberg (2002)

Considerando-se a topologia de um amplificador diferencial de um único estágio com par diferencial, espelho de corrente como carga ativa e transistores de

polarização, FIGURA 11, o amplificador diferencial seria configurado somente com os transistores M1, M2, M3, M4, M5 e M8. O segundo estágio é composto pelos transistores M6 e M7.

A seguir, são apresentadas as definições das especificações indicadas no QUADRO 8 e, a partir delas, o desenvolvimento do amplificador operacional.

O Ganho (*Gain*) total do amplificador de dois estágios A_{vo} é o produto do ganho do primeiro estágio $A_{vA} = g_{m1}R_{outA}$ com o ganho do segundo estágio $A_{vB} = g_{m6}R_{outB}$, expresso, então, por:

$$A_{vo} = A_{vA}A_{vB} = \frac{g_{m1}g_{m6}}{(g_{o2} + g_{o4})(g_{o6} + g_{o7})}. \quad (21)$$

A resistência de saída R_{out} é o inverso da condutância g_o de saída de cada estágio:

$$R_{outA(B)} = \frac{1}{(g_{o2(6)} + g_{o4(7)})}. \quad (22)$$

O ganho de cada estágio é o produto da transcondutância de entrada, $g_{m1(6)}$, com a resistência de saída, $R_{outA(B)}$. O ganho total também pode ser expresso em termos de polos e zeros pela seguinte função de transferência:

$$A(s) = \frac{A_{vo}(1 - s/z_1)}{(1 - s/p_1)(1 - s/p_2)} \quad (23),$$

sendo o primeiro polo p_1 dado por:

$$p_1 = -\frac{(g_{o2} + g_{o4})(g_{o6} + g_{o7})}{g_{m6}C_C} \quad (24),$$

o segundo polo p_2 por:

$$p_2 = -\frac{g_{m6}C_C}{C_C C_L + C_C C_I + C_L C_I} \cong -\frac{g_{m6}}{C_L} \quad (25),$$

e o zero z_1 por:

$$z_1 = \frac{g_{m6}}{C_C} \quad (26).$$

O produto ganho banda (*Gain Bandwidth*) representa a atenuação do sinal em função da frequência. Um amplificador operacional ideal teria uma largura de banda infinita, ou seja, poderia amplificar sinais de zero a infinitos hertz, sem atenuação do sinal. Um amplificador operacional real apresenta atenuação do sinal de saída acima da frequência de corte. O produto ganho banda GBW é obtido da seguinte forma:

$$2\pi GBW = A_{vo}|p_1| \rightarrow 2\pi GBW = \frac{g_{m1}}{C_c} \quad (27).$$

O tempo de acomodação (*Settling Time*) é o tempo necessário para que o amplificador alcance uma porcentagem específica do valor de tensão final. Um tempo de acomodação muito alto implica na diminuição da taxa de processamento de um sinal analógico.

A margem de fase (*Phase Margin*) é relacionada à estabilidade do circuito. Se a capacitância de carga, temperatura, alimentação e processo variarem, a estabilidade do amplificador operacional pode ser afetada. Para determinar a margem de fase de um amplificador, observa-se o deslocamento de fase quando o ganho em malha aberta é unitário. A margem de fase φ_m é obtida da seguinte forma:

$$\varphi_m = 90^\circ - \arctg\left(\frac{GBW}{z_1}\right) - \arctg\left(\frac{GBW}{|p_2|}\right) \quad (28)$$

ou

$$\varphi_m \cong 90^\circ - \arctg\left(\frac{g_{m1}C_L}{g_{m6}C_C}\right) \quad (29).$$

O *Slew Rate* indica a velocidade de resposta do circuito a uma variação de tensão na entrada, ou seja, determina o tempo que o sinal de entrada demora para atingir o valor máximo na saída. O *Slew Rate* SR é obtido pela divisão da corrente de polarização do transistor M5 pela carga do amplificador, ou seja:

$$SR \cong \frac{I_5}{C_L} \quad (30).$$

O ICMR é a faixa de tensão sobre a qual o sinal de modo comum de entrada pode variar sem influenciar o desempenho diferencial. O valor de ICMR mínimo é obtido por:

$$V_{CM \min} = V_{SS} + V_{DSsat5} + V_{GS1} \quad (31),$$

sendo V_{SS} a tensão de referência (geralmente $-V_{DD}$ ou GND), V_{DSsat5} a tensão dreno-fonte de saturação do transistor M5 e V_{GS1} a tensão porta-fonte do transistor M1.

De forma semelhante, o valor de ICMR máximo é obtido por:

$$V_{CM \max} = V_{DD} - V_{GS3} + V_{DSsat1} \quad (32).$$

sendo V_{DD} a tensão de alimentação, V_{DSsat1} a tensão dreno-fonte de saturação do transistor M1 e V_{GS3} a tensão porta-fonte do transistor M3.

O CMRR é a relação entre o ganho diferencial e o ganho de modo comum. O CMRR mede a capacidade de o amplificador operacional rejeitar sinais em modo comum, ou seja, aqueles que aparecem simultaneamente e em mesma fase, amplitude e frequência em ambas as entradas do amplificador. Nesse caso, idealmente, a saída deve ser nula, mas, na prática, aparece um pequeno sinal na saída. O valor de CMRR é obtido por:

$$CMRR = \frac{A_{dm}}{A_{cm}} = \left(\frac{g_{m1}}{g_{o2} + g_{o4}} \right) / \left(\frac{g_{o5}}{2g_{m3}} \right) \quad (33).$$

O CMRR é representado em unidades logarítmicas por:

$$CMRR = 20 \log_{10} \left(\frac{2g_{m1}g_{m3}}{g_{o5}(g_{o2} + g_{o3})} \right) \quad (34).$$

A PSRR é um termo usado para descrever o quão bem um amplificador rejeita a variação das tensões de alimentação V_{DD} e V_{SS} (ou GND). Dessa forma, o PSRR pode ser positivo em relação ao V_{DD} :

$$PSRR+ \cong 20 \log_{10} \left(\frac{g_{m1} g_{m6}}{g_{o6} (g_{o2} + g_{o4})} \right) \quad (35),$$

ou negativo em relação ao V_{SS} (ou GND):

$$PSRR- \cong 20 \log_{10} \left(\frac{g_{m1} g_{m6}}{g_{o7} (g_{o2} + g_{o4})} \right) \quad (36).$$

O termo *Output Swing* indica a excursão de tensão de saída, tensão mínima e tensão máxima, do amplificador operacional. É o intervalo de tensão de saída em que o sinal não é atenuado. O valor da tensão de saída mínimo é obtido por meio da operação na região de saturação do transistor M7:

$$V_{o \min} = V_{SS} + V_{DSsat7} \quad (37)$$

e a tensão de saída máxima é obtida pela operação na região de saturação do transistor M6:

$$V_{o \max} = V_{DD} - V_{DSsat6} \quad (38).$$

Em um amplificador ideal, quando as tensões de entrada v_{in}^+ (positiva) e v_{in}^- (negativa) são iguais, a tensão de saída v_{out} deve ser nula. Nesse caso, se o valor da tensão de saída não for nulo, a diferença de tensão é chamada de tensão de *offset*. O desequilíbrio de tensão pode ser resultante do descasamento dos transistores no processo de fabricação ou de erros de dimensionamento. Geralmente, utiliza-se a expressão:

$$\frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} \quad (39)$$

para minimizar a diferença dos transistores e consequentemente a tensão de *Offset* (GOUVEIA, 1992).

A área de leiaute deve ser suficiente para acomodar o circuito completo do amplificador operacional e os circuitos de polarização. Espera-se que a área seja a menor possível, mas as dimensões dependem da tecnologia, da topologia do circuito e das dimensões encontradas devido às especificações.

A potência dissipada P_{max} indica o maior consumo de corrente I possível para o valor de tensão definido pela tecnologia. Esse fator é um limitador da maior corrente que é possível utilizar para polarizar os transistores M5, M7 e M8 e é obtido por Allen e Holberg (2002):

$$P_{max} = (I_{M5} + I_{M7} + I_{M8}) \cdot V_{cp} \quad (40).$$

Para o desenvolvimento do amplificador operacional, são seguidos os seguintes passos:

Passo 1: encontrar a transcondutância de entrada pela equação (27), com os parâmetros do QUADRO 8 e atribuindo um valor para C_L .

Passo 2: encontrar a corrente de polarização dos transistores M1, M2, M3, M4, M5 e M8, pela equação (20). A corrente do transistor M5 é o dobro da corrente dos transistores M1 e M2 (M3 e M4). A corrente que passa pelo transistor M8 é igual a corrente que passa pelo transistor M5.

Passo 3: encontrar a dimensão dos transistores M1, M2, M3, M4, M5 e M8 a partir da corrente encontrada no passo anterior. A dimensão dos transistores é obtida pelas equações (21) e (22).

Passo 4: este passo refere-se aos componentes do segundo estágio. Para encontrar a corrente nos transistores M6 e M7 a equação (17) é utilizada. Para encontrar as dimensões do transistor M6, as equações (18) e (19) são utilizadas e as dimensões do transistor M7 são obtidas, a partir da equação (39), por:

$$(W/L)_7 = \frac{1}{2} \cdot \frac{(W/L)_6}{(W/L)_4} \cdot (W/L)_5 \quad (41).$$

Aqui é considerada a margem de fase pela equação (28). Para elevar o zero a uma década acima de GBW (ACOSTA, 1997; ALLEN; HOLBERG, 2002) faz-se:

$$g_{m6} \geq 10g_{m1} \quad (42).$$

O valor do capacitor Miller é obtido por:

$$C_C \geq 0,22C_L \quad (43),$$

uma vez que

$$\frac{g_{m6}}{C_L} \geq 2,2 \frac{g_{m1}}{C_C} \quad (44).$$

Passo 5: com os valores obtidos e aplicados nos componentes a serem simulados, deve-se variar os valores, se necessário, até atingir valores de especificação mais próximos dos desejados. Caso contrário, um novo projeto deve ser feito, considerando novos parâmetros.

Para encontrar o valor da tensão do divisor resistivo de tensão V_{div} , que será comparada com a tensão de referência, multiplica-se a tensão de saída do regulador de tensão V_{reg} pelas resistências, ou seja,

$$V_{div} = V_{reg} \frac{R_2}{R_2 + R_1} \quad (45).$$

O tipo de elemento de passagem afeta a tensão de saída e a corrente quiescente. Dessa forma, a escolha do transistor de passagem deve ser baseada na queda de tensão e na corrente consumida pelo circuito. O transistor PMOS tem uma corrente quiescente desprezível e a única queda de tensão é a sua tensão de saturação fonte-dreno V_{DSsat} . O terminal de dreno é ligado na entrada do regulador de tensão, o terminal de fonte é ligado na saída do regulador de tensão e o terminal de porta é ligado na saída do amplificador operacional, conforme FIGURA 12.

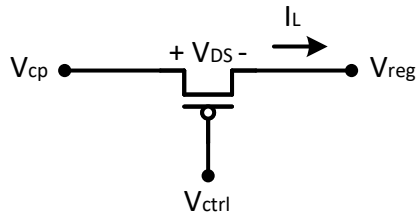


FIGURA 12 - ESQUEMA DE LIGAÇÃO DO TRANSISTOR DE PASSAGEM PMOS DO REGULADOR DE TENSÃO

FONTE: o autor

Conforme Gutierrez *et al.* (2009), a dimensão do transistor de passagem é obtida da seguinte forma:

$$\left[\frac{W}{L}\right] = \frac{2I_{max}}{k'V_{DO}^2} \quad (46),$$

ou seja, o transistor de passagem é dimensionado pela corrente máxima I_{max} (I_L), que deve passar pelo transistor, relacionada com a tensão de *dropout* V_{DO} e os parâmetros da tecnologia.

O circuito de referência gera a tensão de referência V_{ref} para o regulador de tensão e gera a corrente que é necessária para polarizar os transistores do amplificador operacional, através dos espelhos de corrente. A FIGURA 13 apresenta o diagrama esquemático de um circuito de referência de tensão e corrente. Como apresentada por Baker (2010), essa topologia é conhecida como Circuito de Referência Multiplicador Beta (β), pois as dimensões do transistor M17 são β vezes maiores do que as dimensões do transistor M18.

O resistor RR1, utilizado na geração da corrente de referência I_{ref} , é adicionado na fonte do transistor M17. O transistor M18 é um espelho de corrente NMOS para garantir que M17 possa ser referência para outro transistor. O espelho de corrente PMOS, composto pelos transistores M15 e M16 (e os transistores M12 e M13), garante que a corrente que passa por M17 seja idêntica à corrente que passa por M18. Além disso, o espelho de corrente irá gerar referência para outros transistores M14 e M10 do amplificador operacional por meio da tensão VB.

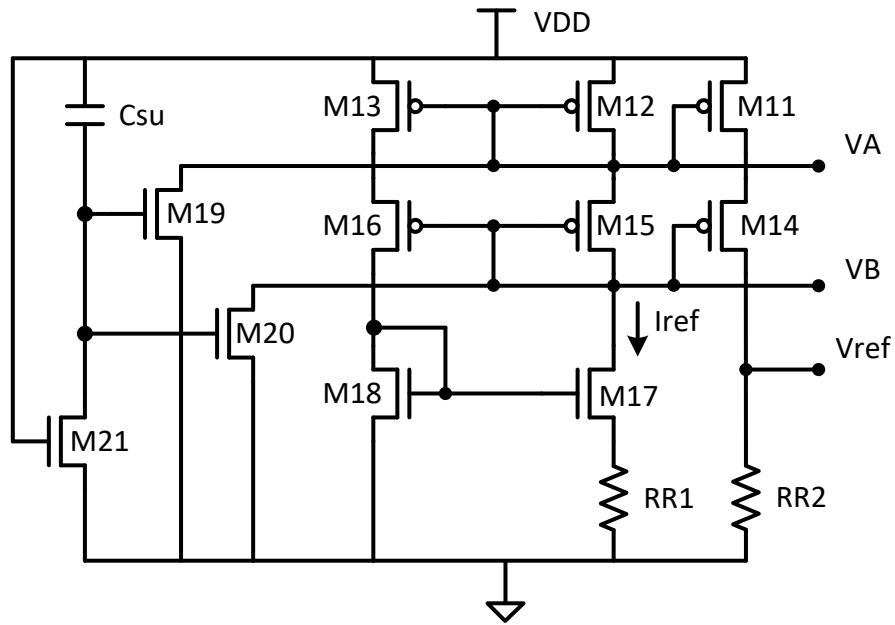


FIGURA 13 - ESQUEMÁTICO DO CIRCUITO QUE FORNECE A TENSÃO E A CORRENTE DE REFERÊNCIA
 FONTE: o autor

O espelho de corrente PMOS em configuração *cascode* faz com que a sensibilidade à variação da tensão de alimentação seja reduzida, pois aumenta a resistência de saída. Em contrapartida, a tensão mínima de alimentação é elevada. Dessa forma, os transistores M12 e M13 são adicionados para gerar a configuração *cascode*. Os transistores M11 e M9 recebem a tensão VA para gerar a tensão de referência e a polarização do amplificador operacional, respectivamente. Adicionando um espelho de corrente NMOS adicional, assim como é feito com M17 e M18, a variação da corrente de referência, em função da variação da tensão de alimentação, seria ainda mais reduzida. Porém, haveria um aumento ainda maior da tensão mínima de alimentação.

A corrente de referência é obtida considerando que

$$V_{GS18} = V_{GS17} + I_{ref} \cdot RR1 \quad (47),$$

desde que $V_{GS18} > V_{GS17}$. Isso é garantido fazendo com que o β do transistor M17 seja alto, ou seja, o β do transistor M17 seja K vezes maior do que o β do transistor M18. Como todos os transistores dessa topologia devem permanecer em saturação, a tensão V_{gs} pode ser escrita em função da corrente de dreno do transistor. Dessa forma:

$$V_{gs,M18} \cong \sqrt{\frac{2I_{ref}}{B_{18}}} + V_{tn} \quad (48)$$

e

$$V_{gs,M17} \cong \sqrt{\frac{2I_{ref}}{KB_{18}}} + V_{tn} \quad (49).$$

Usando as equações (47), (48) e (49) a corrente de referência I_{ref} é obtida por:

$$I_{ref} = \frac{2}{RR1^2\beta_{18}} \left(1 - \sqrt{\frac{1}{K}} \right)^2 \quad (50),$$

sendo o β do transistor igual a

$$\beta = \mu_{n(p)} C_{ox} \frac{W_{N(P)}}{L_{N(P)}} \quad (51).$$

A multiplicação de K vezes entre M17 e M18 passa a ser feita pelo valor da largura do canal W. Observa-se que o comprimento do canal L geralmente é mantido igual e os valores de condutividade $\mu_{n(p)}$ e capacitância do óxido C_{ox} são parâmetros da tecnologia.

A tensão de referência V_{ref} é obtida por meio da corrente que passa pelos transistores M11 e M14, proporcionada pelo espelho de corrente com os transistores M12 e M15, respectivamente, e pelo resistor RR2.

Os transistores M19, M20 e M21 e o capacitor C_{SU} , são utilizados para o circuito de inicialização apresentado na FIGURA 13, e têm a função de inicializar o circuito. Esse circuito gera uma tensão de polarização inicial nos transistores dos espelhos de corrente PMOS. Isso faz com que o circuito de referência de tensão, que é uma configuração de realimentação, funcione. Assim que o circuito é ligado, o capacitor C_{SU} inicialmente está carregado. Isso faz com que a tensão V_{DD} seja aplicada nos transistores M19 e M20. Dessa forma, uma tensão próxima à GND é aplicada nos nós VA e VB, fazendo com que os transistores PMOS conduzam e conseqüentemente ativem o circuito de referência. Em seguida, o capacitor vai sendo descarregado pelo

transistor M21, fazendo com que uma tensão próxima ao GND seja aplicada nas portas dos transistores M19 e M20, desativando o circuito de inicialização.

A seguir são apresentados os passos para o desenvolvimento do circuito de referência de tensão e corrente com base na topologia multiplicador beta:

Passo 1: projetar M17 e M18 utilizando as equações (47) e (51), a fim de obter a corrente desejada.

Passo 1: adicionar o espelho de corrente PMOS considerando a corrente de referência. Adicionar o segundo espelho de corrente *cascade*, se necessário, e o circuito de inicialização.

Passo 3: caso necessário, adicionar os transistores para a geração de tensões de referência adicionais.

2.4. CONCLUSÃO DA REVISÃO DA LITERATURA E ESTADO DA ARTE

Como observado na introdução deste trabalho e na revisão da literatura, a captação de energia dos sinais de RF, a qual é, de certa forma, abundante e constante, possui vantagens e desvantagens em relação às demais. A principal desvantagem é que o dispositivo de captação de energia deve sempre estar dentro do raio de transmissão da fonte transmissora. Como vantagem, pode-se dizer que os sinais de RF estão presentes tanto em ambientes externos como internos, não dependem da presença ou ausência de luz, artificial ou natural, como é o caso da energia solar, não dependem de uma condição induzida constantemente por um operador, como é o caso das energias cinética e eólica, nem da variação da temperatura, como é o caso da energia térmica. Apenas depende de uma fonte de RF ligada e irradiando energia na potência e frequência desejada. Como há inúmeros dispositivos de comunicação sem fio, as fontes indiretas (dispositivos diversos) permanecem ligadas e fornecendo energia constantemente, ou mesmo as fontes diretas (específicas para transmitir energia) podem alimentar dispositivos, tornando-os energeticamente autônomos. Essas características foram decisivas para a escolha da fonte de energia de sinais de RF, como foco do desenvolvimento deste trabalho.

Com base na literatura, optou-se por adotar circuitos essenciais para a captação de energia de sinais de RF a fim de estabelecer a arquitetura. Os principais circuitos para captar um sinal RF, converter em tensão contínua e armazenar ou utilizar a energia são: casamento de impedância, retificador de tensão, elevador de tensão,

regulador de tensão e gerador de *clock*. Os três blocos principais que foram escolhidos para o desenvolvimento são: gerador de *clock*, elevador de tensão e regulador de tensão. Para esses três circuitos, o embasamento teórico, com as devidas equações, definições e procedimento de desenvolvimento, foi apresentado.

Para o elevador de tensão, optou-se por adotar a proposta de um Pelliconi modificado, apresentado por Abdelaziz *et al.* (2011). Esse circuito tem a vantagem de possibilitar sua utilização em baixas tensões, possui maior eficiência por permitir diminuir o número de estágios, visando ao baixo consumo de potência.

O gerador de *clock* escolhido foi um oscilador em anel simples, apresentado por Baker (2010), pois não necessita de componentes passivos como indutores nem de circuitos de polarização, que podem aumentar a área e o consumo de corrente.

Um regulador de tensão chamado *Low Dropout* (LDO) foi escolhido para o desenvolvimento deste trabalho. Na configuração mais simples, visando ao baixo consumo de potência, essa topologia é utilizada nos trabalhos de Liue e Chen (2013) e Martins e De Sousa (2013). Esse tipo de regulador é ideal para operar em baixa tensão, pois a tensão de entrada pode chegar a níveis muito próximos da tensão de saída.

O desenvolvimento dos circuitos para captação de energia de sinais de RF e a da arquitetura proposta são apresentados no capítulo seguinte.

3. DESENVOLVIMENTO DO PROJETO

Considerando todos os pontos levantados nas referências apresentadas, é possível caracterizar e especificar o sistema de captação de energia proposto. Como o sistema de captação de energia elétrica utiliza sinais de RF, o primeiro componente deve ser um circuito que faça o casamento de impedância entre a antena e o próximo bloco. O próximo bloco consiste em um retificador de tensão que converte o sinal de RF para um sinal CC e já funciona como um pré-elevador, ou dobrador de tensão. É possível adicionar um circuito limitador, para que a tensão não exceda a tensão de alimentação dos transistores da tecnologia CMOS 130 nm. O próximo bloco a ser adicionado é um circuito elevador de tensão, que tem a função de elevar a tensão CC, de um nível baixo para um mais elevado. Esse circuito elevador de tensão utiliza um sinal de *clock* e, por isso, há a necessidade do desenvolvimento de um oscilador de duas fases opostas. A tensão de saída do elevador de tensão pode ser armazenada em uma bateria ou em outro elemento de armazenamento, como capacitor. Essa saída do elevador de tensão deve ser regulada por um circuito regulador de tensão, para ser utilizada por algum outro circuito.

Este trabalho apresenta uma arquitetura de sistema de captação de energia e o desenvolvimento de parte dos circuitos mais importantes identificados a partir da revisão bibliográfica. Todos os circuitos foram projetados em tecnologia CMOS 130 nm, considerando temperatura de 40 °C. Simulações pós-leiaute foram realizadas, ou seja, com extração de parasitas resistivos e capacitivos. A ferramenta utilizada para as simulações foi o *software* Spectre da Cadence e os gráficos foram confeccionados no ambiente MATLAB.

Neste capítulo são apresentados os resultados de simulação de cada circuito projetado, operando de maneira separada. Posteriormente, os resultados da integração dos blocos desenvolvidos separadamente serão apresentados.

3.1. ARQUITETURA PROPOSTA DO SISTEMA DE CAPTAÇÃO DE ENERGIA

A FIGURA 14 apresenta o diagrama em blocos da arquitetura proposta de um sistema de captação de energia. O sistema é composto por componentes externos e circuitos integrados. Os componentes externos são: a antena e a rede de casamento de impedância entre a antena e o conversor de RF para CC. Os capacitores ou baterias para armazenamento da energia elétrica captada devem ser externos se a quantidade

necessária de energia exceder a capacidade dos componentes integrados. A carga, circuito que irá utilizar a energia captada, pode ser integrada no mesmo *chip* ou externa, dependendo da aplicação.

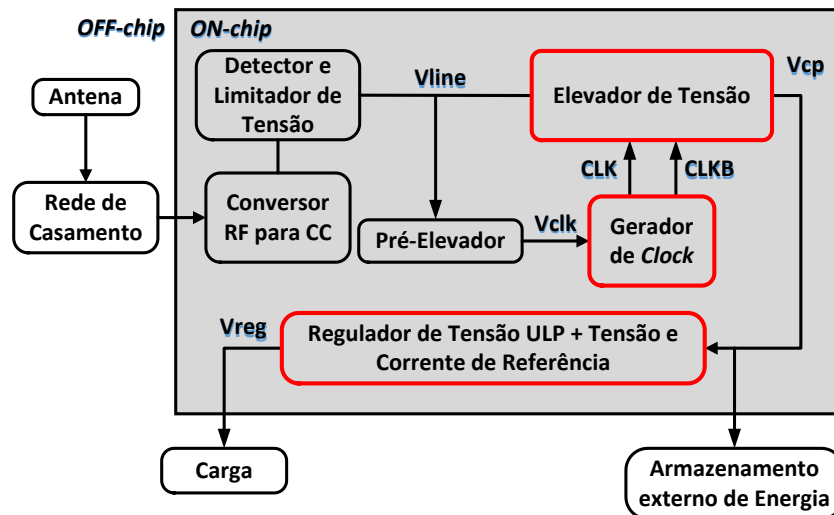


FIGURA 14 - ARQUITETURA DO SISTEMA DE CAPTAÇÃO DE ENERGIA
FONTE: o autor

Os três blocos desenvolvidos são: elevador de tensão CC para CC, gerador de *clock* e regulador de tensão, bem como os sub-circuitos associados.

A seguir, cada um dos três blocos principais do sistema proposto são descritos e os detalhes de projeto e simulação apresentados. A funcionalidade dos demais blocos internos e externos é apresentada, mas eles não foram desenvolvidos neste trabalho.

3.2. ELEVADOR DE TENSÃO

As especificações para o desenvolvimento desse elevador de tensão são: tensão de entrada de 200 mV e tensão de saída de 1,2 V. O elevador de tensão é desenvolvido seguindo a subseção 2.2.2.

A utilização de transistores *triple-well*, conforme proposto por Pelliconi *et al.* (2003), é necessária quando a tensão de saída é elevada a níveis acima da tensão de ruptura do transistor da tecnologia CMOS, dessa forma isolando o transistor. Para transistores CMOS da tecnologia 130 nm, a tensão de ruptura é de 1,5 V. A utilização desses transistores também é necessária para diminuir a tensão de limiar V_t , que passa dos 380 mV, para níveis de aproximadamente 200 mV, devido ao efeito de corpo (somente para o transistor NMOS).

É possível encontrar o número de estágios n a partir da equação (11) ou definir inicialmente e aplicar as equações (12), (13) e (14) para obter as demais características do projeto. Dessa forma, o número de estágios atribuído é $n = 4$. Os transistores NMOS utilizados são do tipo *triple-well* e os transistores PMOS são os convencionais da tecnologia. As dimensões de todos os transistores, tanto NMOS como PMOS são: W de $2\text{ }\mu\text{m}$; L de 300 nm . Esses valores são obtidos considerando uma corrente de aproximadamente $7\text{ }\mu\text{A}$ e os parâmetros da tecnologia ($k' = 3,07 \cdot 10^{-4}$, $V_t = 200\text{ mV}$) aplicados na equação (7).

Na sequência, foram realizadas simulações com variações de frequência, entre 500 KHz e 30 MHz , com o objetivo de encontrar qual delas corresponderia à melhor tensão na saída. A partir dessas simulações, observou-se um intervalo adequado entre $1,5\text{ MHz}$ e 22 MHz , conforme FIGURA 15, para tensão de saída V_{cp} a partir de 1V . Considerando esse intervalo, optou-se por adotar uma frequência de $3,25\text{ MHz}$, que entrega a tensão V_{cp} de $1,2\text{ V}$. Dessa forma, é possível que o oscilador varie a frequência, conforme a temperatura, dentro do intervalo encontrado.

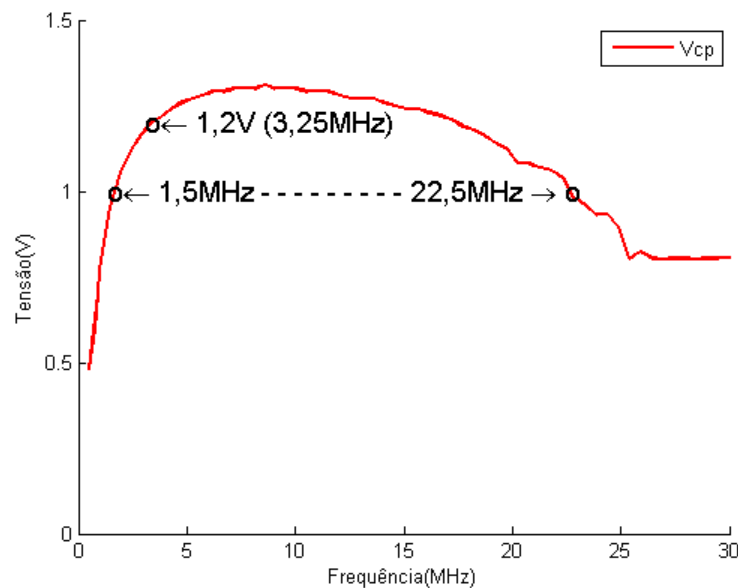


FIGURA 15 - RESPOSTA DO ELEVADOR DE TENSÃO EM RELAÇÃO A FREQUÊNCIA
FONTE: o autor

Aplicando as equações (15) e (16), foi possível encontrar o valor dos capacitores para cada estágio do elevador de tensão. O valor encontrado é de 4 pF , gerando uma carga de 16 pF para cada fase do *clock*.

A apresenta as configurações para simulação do elevador de tensão. A entrada do sinal CC, V_{line} , é de 200 mV e a tensão dos dois sinais de *clock*, CLK e CLKB, é 400 mV de amplitude, considerando fonte ideal. Esse circuito é composto por quatro estágios elevadores de tensão a fim de obter aproximadamente $V_{cp} = 1,2 V$ na saída. Um capacitor de 20 pF e um resistor de 1 M Ω são utilizados, considerando componentes ideais, para representarem as cargas às quais o elevador de tensão será submetido. O gráfico com os resultados de simulação com tensão de saída de aproximadamente 1,2 V é apresentado na FIGURA 17. A eficiência alcançada é de aproximadamente 43 %.

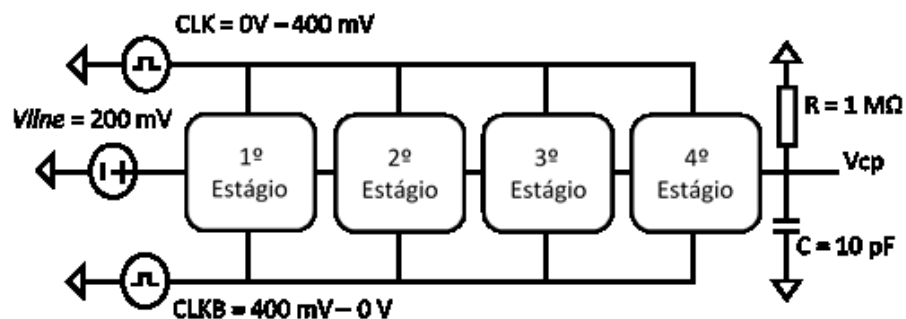


FIGURA 16 - CONFIGURAÇÃO PARA SIMULAÇÃO DO ELEVADOR DE TENSÃO
FONTE: o autor

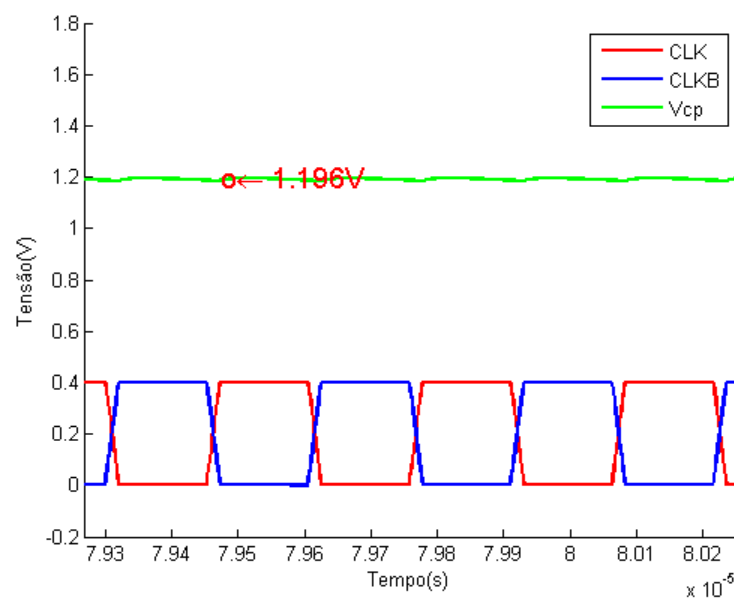


FIGURA 17 - GRÁFICO COM A SIMULAÇÃO DO ELEVADOR DE TENSÃO *CHARGE PUMP* PELLICONI MODIFICADO
FONTE: o autor

Na FIGURA 17 os sinais de *clock* CLK e CLKB (sinais idealmente em quadrada) estão na frequência de 3,25 MHz. Foram adicionados tempos de subida e descida de 20 ns, que representam um sinal mais próximo da realidade. A pequena oscilação do nível de tensão de saída ocorre devido à carga e descarga dos capacitores e pode ser anulada com o regulador de tensão. Dependendo da aplicação, essa variação não representa um problema.

Na FIGURA 18 é apresentado o leiaute do circuito elevador de tensão. São os quatro estágios, em série, com os transistores no centro e os capacitores nas extremidades. As dimensões desse circuito são: 246 μm de comprimento por 124 μm de largura.

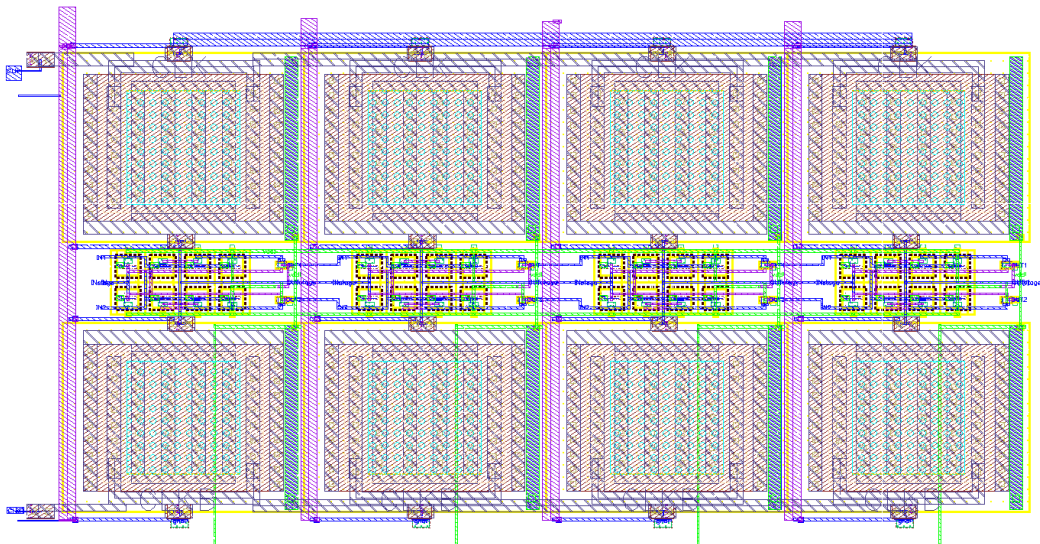


FIGURA 18 - LEIAUTE DO CIRCUITO DO ELEVADOR DE TENSÃO
FONTE: o autor

3.3. GERADOR DE CLOCK

Como visto no QUADRO 5, a topologia mais utilizada para o gerador de *clock* é a de um oscilador em anel com algumas variações, principalmente polarização, para controle da frequência e estabilidade. A adição de um transistor de polarização em uma porta lógica torna mais precisa a calibração da frequência de oscilação, desde que a referência seja estável, mas dificulta a operação do circuito em baixas tensões.

A topologia de oscilador em anel utilizando somente inversores lógicos com transistores da tecnologia CMOS padrão, sem circuito de polarização, foi escolhida para evitar componentes passivos, que ocupam grande área, e operar em baixa tensão de alimentação. Além disso, não há a necessidade de precisão na frequência, pois o

elevador de tensão funciona adequadamente para o intervalo apresentado na FIGURA 15. Características como ruído de fase não são importantes, pois o oscilador é utilizado em um circuito CC. Qualquer distúrbio no domínio do tempo do sinal de *clock*, ou seja, variação do período, provocado pelo ruído de fase, não interfere na resposta do elevador de tensão. É necessário apenas que os capacitores sejam carregados e descarregados integralmente. Isso é garantido pela faixa de frequência em que o elevador de tensão opera eficientemente.

De acordo com a especificação exigida pelo elevador de tensão, o oscilador em anel desenvolvido é alimentado com uma tensão de 400 mV, opera na frequência de 3,25 MHz e possui carga de 25 pF. Para o valor de capacitância de saída são considerados a soma dos capacitores de cada estágio do elevador de tensão (16 pF), os capacitores parasitas do circuito e possíveis cargas adicionadas pelos equipamentos durante as medidas.

Primeiramente, foi identificado o atraso do inversor lógico adotando as dimensões mínimas, da tecnologia CMOS 130 nm, para W e L dos transistores NMOS e PMOS ($W_{n(p)} = 160 \text{ nm}$, $L_{n(p)} = 120 \text{ nm}$). Como a mobilidade dos elétrons do transistor PMOS é menor do que a mobilidade dos elétrons do transistor NMOS, o valor de W do transistor PMOS foi elevado para 320 nm. Foi criado um circuito com três estágios em série de inversores lógicos, conforme FIGURA 19, e simulações de transitório foram realizadas a fim de identificar os atrasos do oscilador em anel. A saída do terceiro estágio, que é invertida por serem componentes ímpares, realimenta a entrada do primeiro estágio. Dividindo-se esse atraso resultante pelo número de inversores (três), obtém-se o atraso de um único inversor.

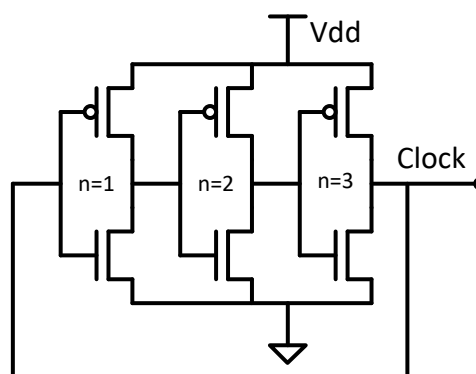


FIGURA 19 - OSCILADOR EM ANEL BÁSICO DE TRÊS ESTÁGIOS
FONTE: o autor

O atraso encontrado para o oscilador em anel com três estágios é de 4,96 ns. Dessa forma, o atraso de um único inversor é obtido dividindo o atraso do oscilador, 4,96 ns, pelo número de inversores, 3, resultando em 1,64 ns. Pelos cálculos realizados, o número mínimo de inversores deve ser de 188, para gerar uma frequência próxima de 3,25 MHz.

Uma nova medida foi realizada considerando uma carga de um inversor na saída do oscilador simples de três estágios, ou seja, somente foi adicionado mais uma célula inversora a fim de observar os efeitos de cargas. Em consequência, o período medido do oscilador passou a ser 5,53 ns. De forma semelhante, o atraso de cada inversor passou a ser 5,53 ns dividido por 3. Isso significa 1,84 ns para cada inversor, e seriam necessários 167 inversores para gerar uma frequência de 3,25 MHz.

Tendo em consideração vários fatores, tais como o tamanho mínimo do inversor, e demais cargas parasitas, o número de inversores necessários foi de 151, conforme apresentado na FIGURA 20.

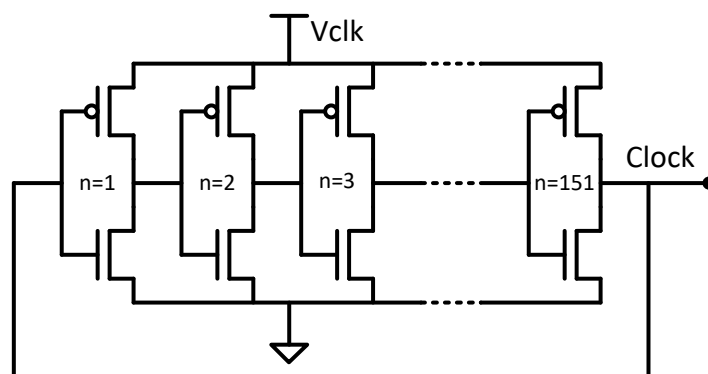


FIGURA 20 - ESQUEMA DO OSCILADOR EM ANEL, A ESTRUTURA DE BASE DO GERADOR DE SINAL

FONTE: o autor

Os capacitores utilizados pelo elevador de tensão têm alto valor de capacitância. Em cada estágio há um capacitor de 4 pF, gerando uma carga de 16 pF por fase. Foi considerado o valor de 25 pF como sendo a carga máxima para o oscilador em anel, devido às possíveis variações de capacitâncias parasitas. Dessa forma, foi necessário implementar um *buffer* de saída entre os capacitores do elevador de tensão e a saída do oscilador.

Primeiramente foi definida uma carga de 25 fF na saída do oscilador, que representa uma capacitância muito maior do que a capacitância interna de aproximadamente 350 aF (valor medido seguindo orientações apresentadas por

MARTINS *et al.*, 2000) e possibilita a visualização no gráfico, tornando-a desprezível. Com isso, medem-se os atrasos t_{pHL} e t_{pLH} . Tendo determinados esses valores, é possível calcular as resistências do transistor PMOS e do transistor NMOS, por meio das equações (4) e (5).

Os atrasos medidos em simulação são $t_{pHL} = 4,33 \text{ ns}$ e $t_{pLH} = 15,61 \text{ ns}$ e dessa forma os valores das resistências dos transistores NMOS e PMOS são $R_n = 254,4 \text{ k}\Omega$ e $R_p = 918,1 \text{ k}\Omega$, respectivamente.

O próximo passo é medir os tempos sem a carga na saída a fim de obter a capacitância de saída em relação à resistência. O atraso medido quando não há carga capacitiva conectada na saída é de $t_{pHL} = 1,79 \text{ ns}$ e aplicando a equação (4) à capacitância de saída da porta inversora é de, $C_L = t_{pHL} / (0.69 \cdot R_{eqn}) = 10,2 \text{ fF}$.

Considerando que $C_{in1} = 3/2 C_L$ (BAKER, 2010), a capacitância de entrada é de $C_{in1} = 15,33 \text{ fF}$ e dessa forma, utilizando as equações (8) e (9), os valores de A e N são 3 e 7, respectivamente.

A FIGURA 21 apresenta o esquema do *buffer* desenvolvido em que são adicionados dois inversores, na saída do sexto estágio do sinal de *clock* (CLK) para gerar o sinal de *clock* invertido (CLKB).

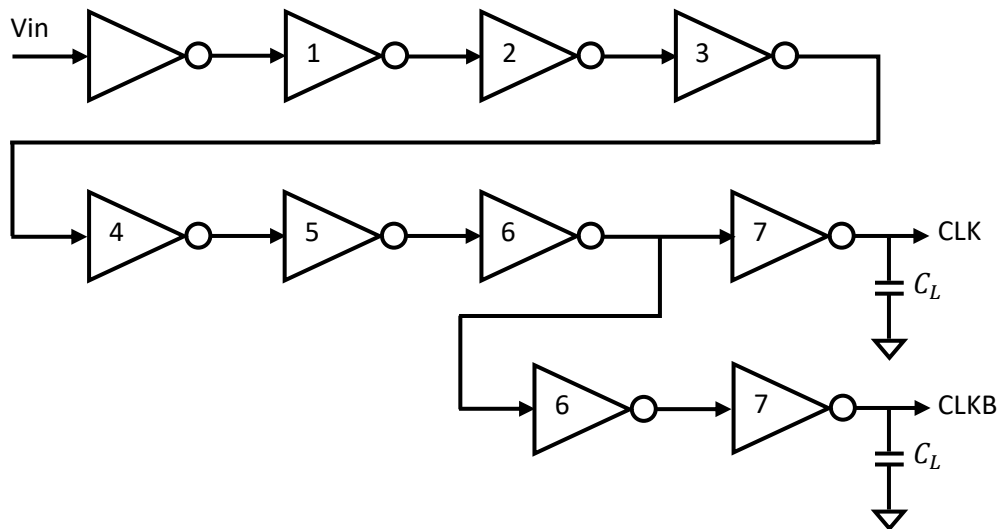


FIGURA 21 - ESQUEMÁTICO DO *BUFFER* PARA GERAR O SINAL E O SINAL DEFASADO
FONTE: o autor

No QUADRO 9 são apresentados os valores definidos para cada estágio do *buffer*. Apenas o comprimento do canal continua o mesmo para cada inversor, $L = 120 \text{ nm}$. O estágio 7 é composto por três estágios 6 em paralelo.

	Estágio 1	Estágio 2	Estágio 3	Estágio 4	Estágio 5	Estágio 6	Estágio 7
W_{PMOS}	320 nm	960 nm	2,88 μm	8,64 μm	25,92 μm	77,76 μm	233,28 μm
W_{NMOS}	160 nm	480 nm	1,44 μm	4,32 μm	12,96 μm	38,88 μm	116,64 μm

QUADRO 9 - LARGURA DO CANAL DOS TRANSISTORES PARA A IMPLEMENTAÇÃO DO BUFFER
FONTE: o autor

A configuração para simulação pós-leiaute do oscilador em anel é apresentada na FIGURA 22, onde se apresenta a interligação entre o oscilador em anel com o *buffer*, as cargas de 25 pF para simular as entradas do elevador de tensão e a tensão de alimentação de 400 mV contínua é considerada ideal, ou seja, sem sofrer variações de temperatura ou oscilações de fonte.

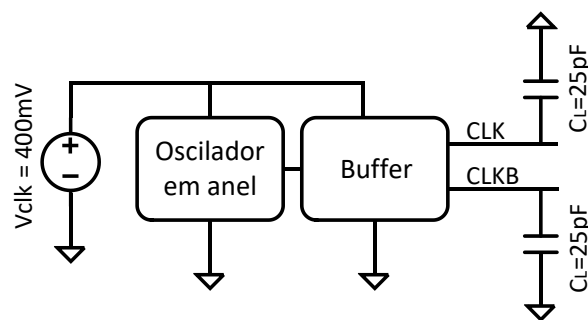


FIGURA 22 - CONFIGURAÇÃO PARA SIMULAÇÃO DO OSCILADOR EM ANEL
FONTE: o autor

Os sinais do *clock* (CLK) e do *clock* invertido (CLKB) são mostrados na FIGURA 23 e a frequência medida é de 3,27 MHz, variando 0,6 % da frequência pretendida de 3,25 MHz. Os sinais de *clock* são simétricos, ou seja, o valor de tensão do nível lógico alto e o valor de tensão do nível lógico baixo são iguais, tanto para o sinal CLK como para o sinal CLKB.

O consumo de corrente médio somente do oscilador em anel é de aproximadamente 500 nA, que ocorre com uma pequena oscilação entre 200 nA e 750 nA, tanto no momento da mudança do sinal de *clock* quanto em regime estacionário. O consumo de corrente do buffer é de aproximadamente 7 μA em regime estacionário e de aproximadamente 128 μA em no momento da transição do sinal de *clock*. Esses valores são obtidos considerando somente simulação com extração dos parasitas e sem a presença de carga na saída. A corrente fornecida ao elevador de tensão para carregar e descarregar os capacitores considerando 25 pF de carga é de

aproximadamente 2,6 mA. Dessa forma, a potência consumida total entre o oscilador em anel e o buffer durante o regime estacionário é de 3 μW .

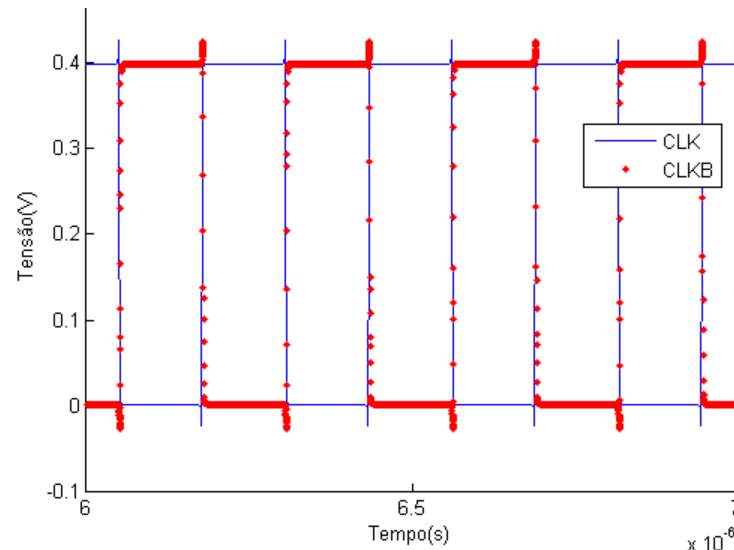


FIGURA 23 - SIMULAÇÃO DO SINAL DE SAÍDA DO OSCILADOR EM ANEL COM SINAIS DO CLOCK CLK E DO CLOCK INVERTIDO CLKB

FONTE: o autor

Na FIGURA 24, apresenta-se o leiaute do circuito oscilador em anel com o *buffer*. As dimensões do oscilador em anel são: 65 μm de comprimento por 65 μm largura. E as dimensões do circuito completo contendo o oscilador em anel, o *buffer* e os capacitores de desacoplamento (Capacitores Metal-Metal, MiM) são 327 μm de comprimento por 116 μm de largura.

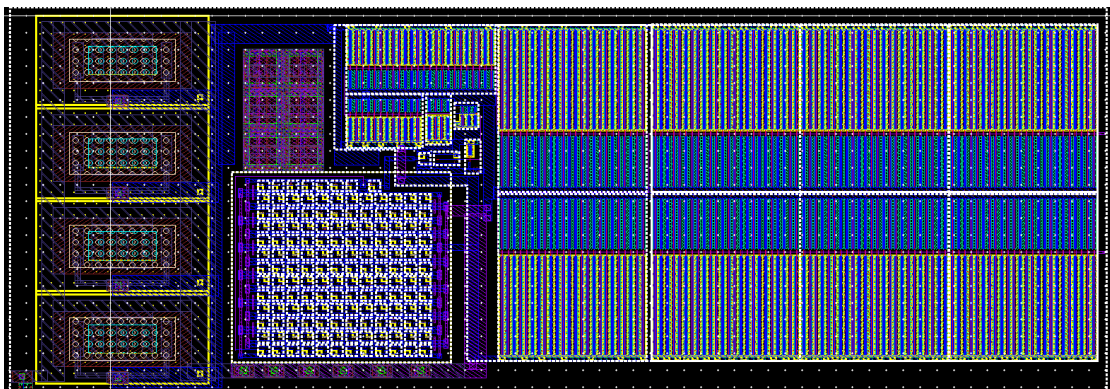


FIGURA 24 - LEIAUTE DA INTEGRAÇÃO DO OSCILADOR EM ANEL COM O *BUFFER* JÁ COM OS CAPACITORES DE DESACOPLAMENTO

FONTE: o autor

3.4. REGULADOR DE TENSÃO

A especificação para o desenvolvimento do circuito do regulador de tensão é regular a variação de tensão próxima de 1,2 V (V_{cp} ou conforme a teoria V_{dd}) e manter 1,0 V (V_{reg}) fixo na saída, com o menor consumo de corrente possível. O regulador desenvolvido é o regulador de tensão LDO apresentado na FIGURA 9 e os circuitos que o compõem foram desenvolvidos seguindo os procedimentos apresentados na subseção 2.3.2. Partes do projeto do regulador de tensão tiveram por base o trabalho de Martins e De Sousa (2013), sendo eles: o amplificador e o transistor de passagem. A seguir, são apresentados os desenvolvimentos das quatro partes do regulador de tensão e, na sequência, a integração dos circuitos e os resultados de simulação.

3.4.1. Amplificador operacional

O equacionamento para o desenvolvimento do amplificador operacional foi implementado em Matlab, conforme código apresentado no Apêndice A, tendo por base o procedimento de projeto descrito na subseção 2.3.2. Foram utilizadas especificações de um amplificador operacional típicas e específicas para aplicações em captação de energia conforme apresentado no QUADRO 8. Os valores obtidos nos cálculos realizados em Matlab estão apresentados no QUADRO 10. O nível de inversão dos transistores definido é $i_f = 10$, que corresponde a uma inversão moderada.

Componente	W (μm)	L (μm)	I (μA)	C (pF)
M ₁ , M ₂ , M ₃ , M ₄	4	1	5,314	-
M ₅ , M ₈ ,	35,3	1	10,627	-
M ₆ , M ₇	176,4	1	53,136	-
C _c	-	-	-	2,42
CL	-	-	-	10

QUADRO 10 - VALORES ENCONTRADOS NO PROJETO DO AMPLIFICADOR OPERACIONAL
FONTE: o autor

Como observado no QUADRO 10 o consumo total de corrente é de aproximadamente 70 μA. Embora para muitas aplicações esse valor de consumo seja baixo, para aplicação de captação de energia é considerado alto. E, conforme observado no desenvolvimento do elevador de tensão, a corrente máxima é de 7 μA, ou seja, a soma o consumo do regulador de tensão mais o que deve ser liberado para

a carga não deve ultrapassar os 7 μA . O consumo de corrente pode ser diminuído considerando o afrouxamento da especificação, dessa forma é possível projetar um amplificador que não seja adequado para outras aplicações, mas que atenda esse circuito e consuma menos corrente. Um exemplo seria reduzir o ganho, a margem de fase e o *Slew Rate*.

O circuito apresentado por Martins e De Sousa (2013) é um circuito que não atende à especificação padrão para um amplificador operacional genérico, mas que funciona em baixa corrente, em torno de 3 μA . Esse amplificador não é estável em malha aberta, pois a margem de fase é relacionada à transcondutância do transistor de entrada que influencia na corrente, e não apresenta o capacitô de compensação Miller. De qualquer forma, o conjunto regulador de tensão é estável em malha aberta.

Na FIGURA 25 são apresentados os resultados de simulação (somente esquemático) do ganho e da margem de fase. O ganho é de 53,4 dB e a margem de fase é de aproximadamente 60° para ganho em torno de 0 dB. Isso quer dizer que o amplificador é estável.

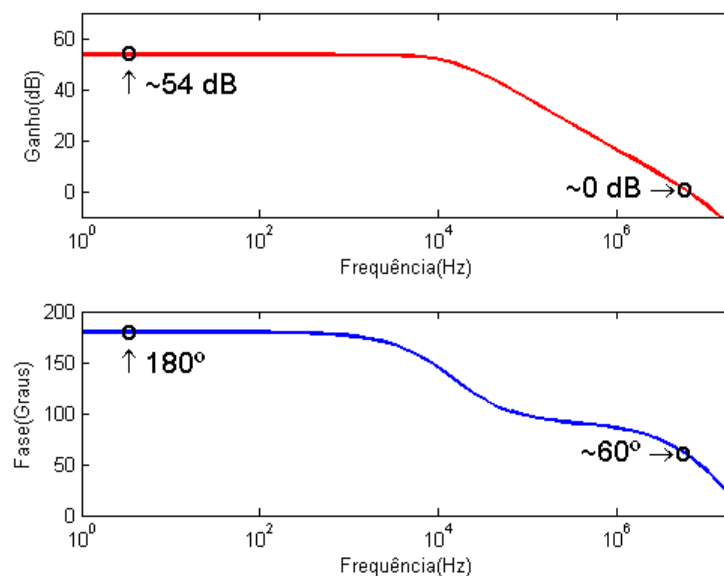


FIGURA 25 - RESULTADOS DE GANHO E MARGEM DE FASE DO AMPLIFICADOR OPERACIONAL DESENVOLVIDO
FONTE: o autor

O QUADRO 11 apresenta a comparação dos valores típicos e desejado (QUADRO 8) e os valores obtidos, em simulação, referentes à especificação do projeto do amplificador operacional. A diferença entre os valores medidos e calculados ocorre

devido ao descasamento entre os transistores de espelho de corrente e ao fator de modulação do canal não considerado nas equações. Arredondamentos de valores podem também causar discrepâncias entre os valores medidos e calculados.

Especificação	Valores típicos	Valores desejados para esse trabalho	Obtidos em simulação
Ganho	≥ 60 dB	≥ 50 dB	53,4 dB
<i>Gain Bandwidth</i>	≥ 5 MHz	≥ 5 MHz	± 6 MHz
<i>Settling Time</i>	≤ 1 μ s	≤ 1 μ s	43 ns
PM	$> 55^\circ$	$> 55^\circ$	60°
Offset	$\leq \pm 10$ mV	$\leq \pm 1$ mV	600 μ V
Potência dissipada	Menor possível	$1,2\text{ V} \cdot 3\text{ }\mu\text{A} = 3,6\text{ }\mu\text{W}$	125 μ W

QUADRO 11 - COMPARAÇÃO ENTRE OS VALORES TÍPICOS E MEDIDOS DA ESPECIFICAÇÃO DO AMPLIFICADOR OPERACIONAL

FONTE: o autor

Como observado, o amplificador operacional projetado por Martins e De Sousa (2013) apresenta um consumo muito inferior ao circuito projetado neste trabalho. Dessa forma, como já havia sido desenvolvido uma variação desse amplificador para estudo e aplicação em outros circuitos, inclusive com leiaute e, além disso, uma alteração do amplificador projetado neste trabalho não estaria finalizada até a data de fabricação do *die*, optou-se por adotar essa variação do circuito projetado por Martins e De Sousa (2013). As alterações a partir da versão original são: (1) os transistores de controle foram retirados fazendo com que as tensões de polarização alterassem, (2) a corrente de polarização tanto para o primeiro estágio como para o segundo estágio passou a ser 1 μ A, (3) os transistores que espelham a corrente do circuito de referência são modificados pois o circuito de referência é diferente. As dimensões dos demais transistores foram mantidas as mesmas. Com isso, foi possível implementar a combinação de todos os circuitos desenvolvidos, contando com um consumo de aproximadamente 3 μ A para o regulador de tensão (muito inferior aos 70 μ A do amplificador inicialmente projetado). Isso possibilitou que fosse possível liberar certa quantia de corrente na saída do sistema, sendo que o elevador de tensão libera uma corrente de aproximadamente 7 μ A.

3.4.2. Divisor resistivo

Para encontrar os resistores do divisor resistivo, a equação (45) é aplicada, considerando que $V_{div} = \sim 200 \text{ mV}$ e $V_{reg} = 1,0 \text{ V}$. Dessa forma, os valores dos resistores encontrados foram $R_1 = \sim 3,6 \text{ k}\Omega$ e $R_2 = \sim 1 \text{ k}\Omega$.

3.4.3. Transistor de passagem

As dimensões do transistor de passagem são encontradas utilizando a equação (46) atribuindo inicialmente a quantidade de corrente máxima desejada $I_{max} = 10 \text{ }\mu\text{A}$, que vai passar por esse transistor. O comprimento do canal é atribuído como sendo $L = 500 \text{ nm}$ e foi considerando $V_{DO} = 0,2 \text{ V}$ com $k'_p = 6,89 \cdot 10^{-5}$. O valor da largura do canal encontrado foi de $W = \sim 3,6 \text{ }\mu\text{m}$ (arredondado para $W = 4 \text{ }\mu\text{m}$).

3.4.4. Circuito de referência

Para o desenvolvimento do circuito de referência, o primeiro passo foi projetar os transistores M17 e M18, utilizando as equações (47) e (51) com o valor de corrente desejado. A corrente I_{ref} desejada para os transistores M17 e M18 é de 270 nA . O fator de multiplicação K escolhido para o β é 4. Dessa forma, o valor da largura do canal W do transistor M17 é 4 vezes a largura do canal do transistor M18. O comprimento do canal L é fixado em $1 \text{ }\mu\text{m}$ para todos os transistores desse circuito, exceto para os componentes do circuito de inicialização. Pela aplicação das equações (50) e (51), o valor do resistor RR1 encontrado é de $185,2 \text{ k}\Omega$, com $W_{18} = 4 \text{ }\mu\text{m}$ e $W_{17} = 16 \text{ }\mu\text{m}$ ($\mu_n C_{ox} = 3,06 \cdot 10^{-4} \text{ AV}^2$, $\mu_p C_{ox} = 6,89 \cdot 10^{-5} \text{ AV}^2$).

Para as dimensões dos transistores do espelho de corrente *cascode* PMOS, os valores de W e L do transistor M18 foi copiada. Dessa forma, as dimensões dos transistores M11, M12, M13, M14, M15 e M16 são $W_p/L_p = 4 \text{ }\mu\text{m}/1 \text{ }\mu\text{m}$.

Essa mesma corrente, de 270 nA , é espelhada para os transistores M11 e M14 para gerar a tensão de referência do V_{ref} em cima do resistor RR2. Para gerar uma tensão de referência $V_{ref} = \sim 200 \text{ mV}$, o resistor RR2 é de $796 \text{ k}\Omega$ ($R = V/I$).

As referências de tensão e corrente podem ser geradas por um circuito de referência de tensão e corrente chamado *Bandgap*. Dessa forma é possível garantir estabilidade à variação de temperatura. Outra forma de gerar a referência de tensão é utilizando os 400 mV da alimentação do *clock*, ou os 200 mV da entrada do elevador de tensão. Pode haver dois circuitos retificadores um para V_{line} e outro para o *clock*.

Para o dimensionamento dos transistores NMOS do circuito de inicialização M19, M20 e M21, foram atribuídos valores de largura do canal $W = 500 \text{ nm}$ e comprimento do canal $L = 500 \text{ nm}$. Para o capacitor C_{SU} , foi atribuída uma capacitância de 1 pF .

3.4.5. Montagem do regulador de tensão LDO e resultados de simulações

O QUADRO 12 apresenta os valores dos parâmetros dos componentes e a FIGURA 26 apresenta o esquemático completo com todos os componentes que compõem o circuito do regulador de tensão.

Componente	W (μm)	L (μm)	R ($\text{k}\Omega$)	C (pF)
M ₁ , M ₂	15	0,8	-	-
M ₃ , M ₄	0,16	3	-	-
M ₅ , M ₇ , M ₈ ,	3	1,2	-	-
M ₆	0,38	3	-	-
M ₉ , M ₁₀	1,8(x4)	1	-	-
M ₁₁ , M ₁₂ , M ₁₃	1(x4)	1	-	-
M ₁₄ , M ₁₅ , M ₁₆	1(x4)	1	-	-
M ₁₇	1(x16)	1	-	-
M ₁₈	1(x4)	1	-	-
M ₁₉ , M ₂₀ , M ₂₁	0,5	0,5	-	-
M _P	4	0,5	-	-
R ₁	-	-	3,6	-
R ₂	-	-	1	-
RR ₁	-	-	185,2	-
RR ₂	-	-	796,0	-
C _O	-	-	-	50
C _{SU}	-	-	-	1

QUADRO 12 - VALORES DOS PARÂMETROS DOS COMPONENTES DO CIRCUITO DO REGULADOR DE TENSÃO

FONTE: o autor

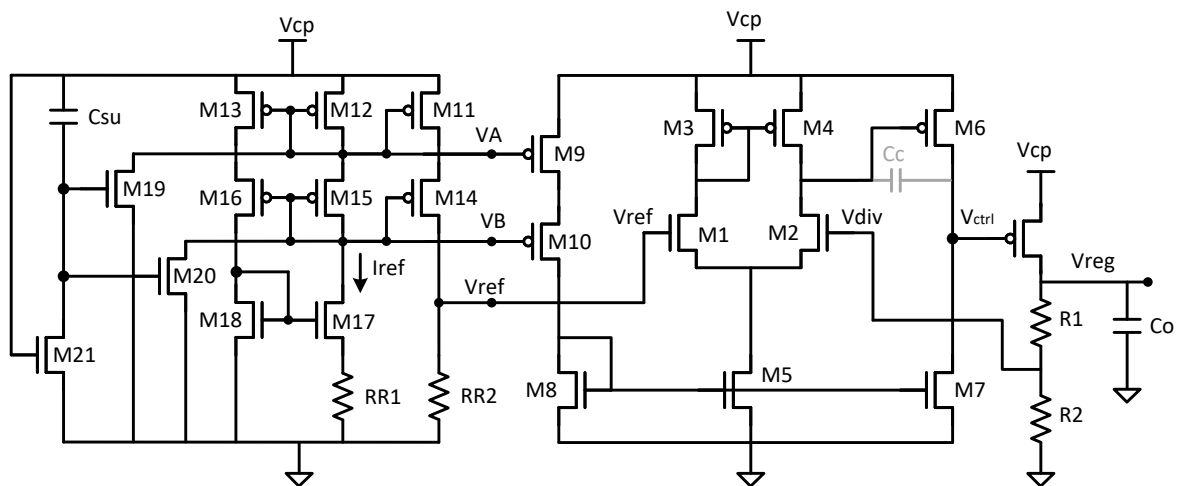


FIGURA 26 - ESQUEMÁTICO DETALHADO DO REGULADOR DE TENSÃO
FONTE: o autor

Na FIGURA 27 apresentam-se os resultados da simulação CC do regulador de tensão LDO. O valor da tensão de entrada V_{cp} é uma rampa de 0 até 4V. Como pode ser visto, a tensão de saída V_{out} passa a ser aproximadamente 1,0 V, conforme a tensão de entrada atinge 1,0V, até a tensão de ruptura dos transistores (~3,5V).

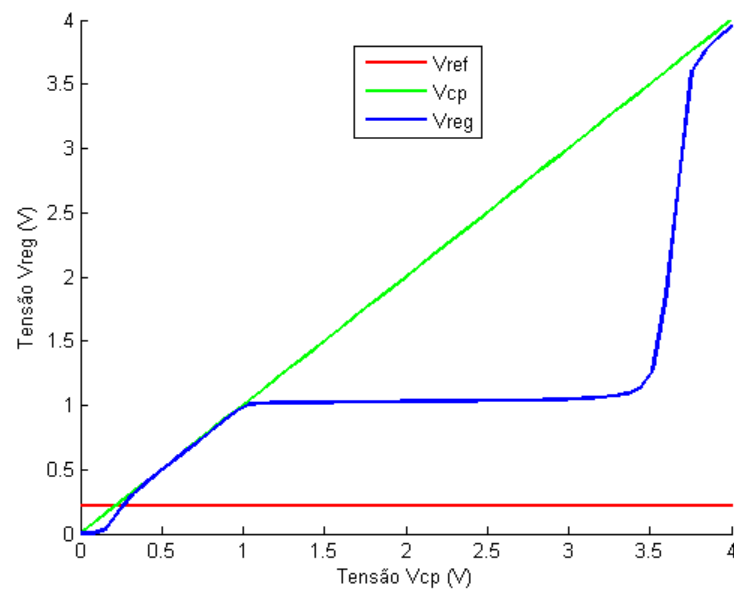


FIGURA 27 - RESULTADO DA SIMULAÇÃO CC DO REGULADOR DE TENSÃO LDO, COM REFERÊNCIA DE TENSÃO EXTERNA
FONTE: o autor

A FIGURA 28 apresenta a simulação de transitório do regulador de tensão LDO. A tensão de entrada V_{cp} varia de 0 até 1,2 V em 10 μ s, permanecendo nesse

valor. Quando a tensão de entrada tinge o valor de aproximadamente 1,0 V, a saída passa a seguir esse valor.

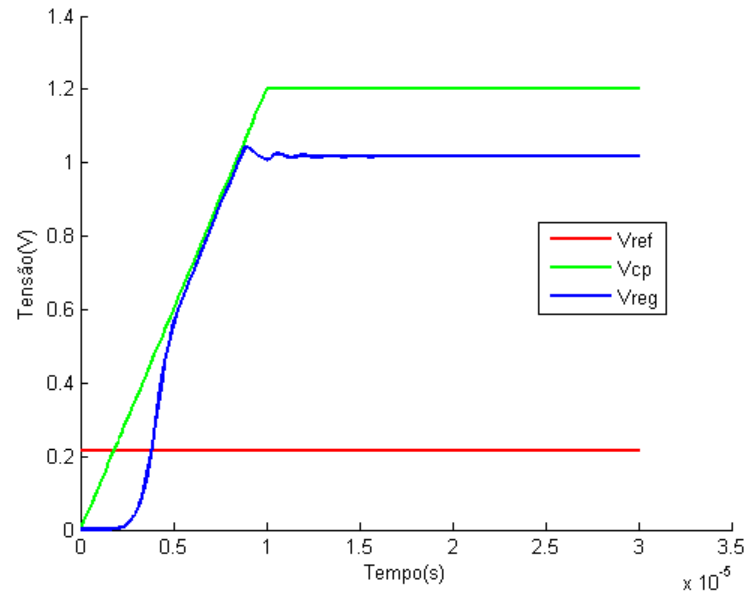


FIGURA 28 - RESULTADO DA SIMULAÇÃO DE TRANSITÓRIO DO REGULADOR DE TENSÃO LDO COM REFERÊNCIA DE TENSÃO EXTERNA.

FONTE: o autor

Na FIGURA 29 é apresentado o leiaute do circuito regulador de tensão com o circuito de referência. As dimensões desse leiaute são: 128 μm de comprimento por 95 μm largura.

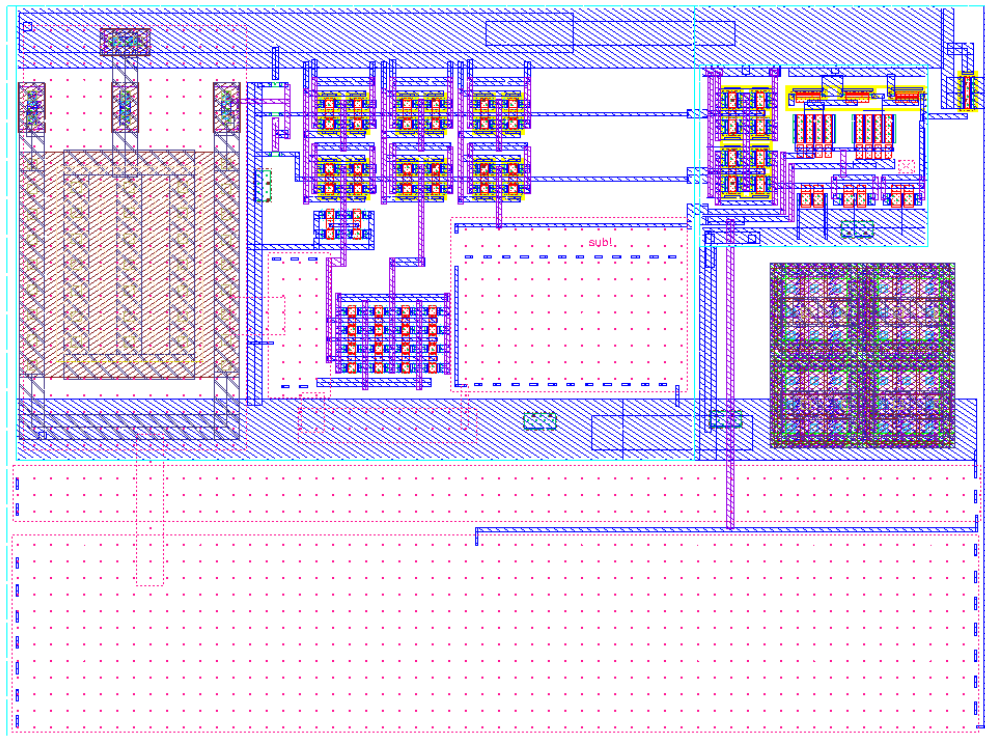


FIGURA 29 - LEIAUTE DO CIRCUITO DO REGULADOR DE TENSÃO
 FONTE: o autor

3.5. DEMAIS BLOCOS DO SISTEMA DE CAPTAÇÃO DE ENERGIA

Aqui são descritos os demais blocos pertencentes ao sistema de captação de energia proposto. São eles: antena; rede de casamento de impedância; conversor RF para CC; circuito detector e limitador de tensão; pré-elevador; armazenamento de carga. Esses blocos são descritos com o objetivo de apresentar as características desejadas para o sistema proposto, mas não foram implementados neste projeto.

A antena tem a função de captar a energia por meio das ondas eletromagnéticas e converter o campo elétrico e o campo magnético em tensão e corrente. A potência recebida depende da potência transmitida de acordo com equação de transmissão de Friis, descrita no livro de Matthew N. O. Sadiku (2012):

$$P_r(d) = P_t \left(\frac{c}{4\pi d} \right)^2 \frac{G_t G_r}{LF} \quad (52),$$

em que: $P_r(d)$ é a potência de recepção em watts; d é a distância, em metros, entre transmissor e receptor; G_t é o ganho da antena transmissora; G_r é o ganho da antena

receptora; λ é o comprimento de onda; P_T é a potência de transmissão em watts; LF é o fator de perda do sistema.

Essa equação mostra que a potência de um sinal no receptor diminui com o quadrado da distância entre o receptor e o transmissor. Isso significa que a potência absorvida pela antena receptora pode ser muito menor do que a potência transmitida.

Dessa forma, a implementação de uma antena adequada para o sistema de captação de energia proposto pode ser de amplo espectro ou sintonizada. Uma antena de amplo espectro, conforme apresentado por Zhao *et al.* (2012), permite que a energia de várias frequências possa ser captada pelo sistema, mas com um ganho menor. Uma antena sintonizada, conforme apresentado por Jabbar *et al.* (2010), permite que a energia seja captada com maior ganho e com menos perdas, mas em apenas uma frequência.

O circuito de casamento de impedância tem a função de maximizar a transferência de potência entre a antena e o retificador de tensão. Esse circuito deve ser implementado com componentes integrados, para reduzir as dimensões do sistema. Circuitos de casamento de impedância que podem ser implementados nessa proposta de um sistema de captação de energia são apresentados por Jabbar *et al.* (2010), Martins e De Sousa (2013) e Yeager *et al.* (2010).

O circuito detector de tensão tem a função de monitorar a tensão de linha que sai do conversor de RF para CC e acionar uma chave assim que a tensão atingir um determinado valor permitindo que o restante do circuito seja alimentado. Esse circuito deve garantir que o sistema seja acionado assim que o elevador de tensão fornecer os 200mV na saída.

O circuito limitador de tensão impede que o nível de tensão ultrapasse o valor tolerado para a tecnologia utilizada. O circuito do limitador de tensão pode ser implementado conforme apresentado por Machado (2014) e Shokrani *et al.* (2014). Esse circuito deve impedir que a tensão do retificador ultrapasse 1,5 V.

O circuito pré-elevador de tensão tem o objetivo de elevar a tensão fornecida pelo retificador, de 200 mV para 400 mV. A tensão de 400 mV é disponibilizada para a alimentação do oscilador e precisa ser estável.

A arquitetura proposta possibilita o armazenamento de energia, com tensão de 1,2 V. A energia pode ser armazenada em baterias ou capacitores. As baterias podem ser do tipo proposto por Zhao *et al.* (2012), ou uma micro bateria, conforme proposto por Fojtik *et al.* (2013). Os capacitores podem ser do tipo integrado que armazenam

pouca quantidade de energia ou externos, como super capacitores, que armazenam grandes quantidades de energia. Tanto a bateria como os capacitores são elementos que podem ser carregados lentamente, por um longo período de tempo e liberar a energia acumulada rapidamente, conforme a demanda.

3.6. COMBINAÇÃO DOS CIRCUITOS OSCILADOR EM ANEL, ELEVADOR DE TENSÃO E REGULADOR DE TENSÃO

A FIGURA 30 apresenta a configuração para simulação da integração dos blocos oscilador em anel, elevador de tensão e regulador de tensão, com seus respectivos sub circuitos. Não foram adicionadas cargas, entre o elevador de tensão e o regulador de tensão, para simular os elementos de armazenamento de energia. As cargas de saída do circuito completo são: $R_L = 1\text{ M}\Omega$ e $C_L = 50\text{ pF}$. As tensões de entrada simuladas V_{line} e do *clock* V_{clk} são ideais, ou seja, sem distorção de amplitude e fase. A fim de se simular a quantidade de corrente que o circuito pode fornecer, uma fonte de corrente ideal é adicionada na saída do regulador de tensão e o resistor de carga é retirado. A fonte de corrente é fixada em um valor e é medida a tensão de saída até que esse valor seja menor do que 1 V .

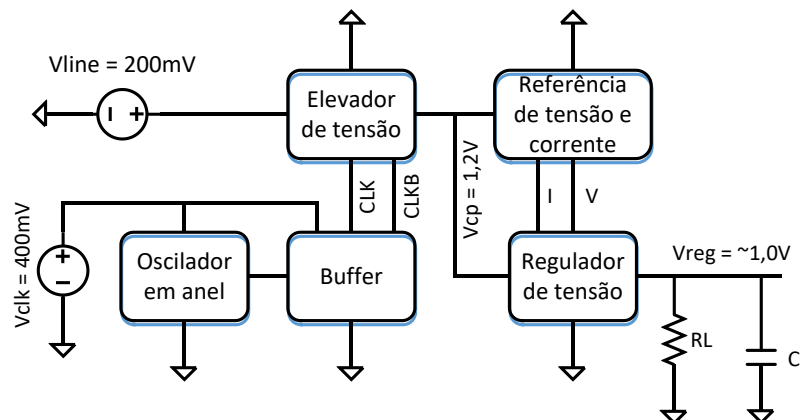


FIGURA 30 - ESQUEMA DE MONTAGEM E SIMULAÇÃO DA INTEGRAÇÃO ENTRE O OSCILADOR EM ANEL, ELEVADOR DE TENSÃO E REGULADOR DE TENSÃO
FONTE: o autor

Na FIGURA 31 é apresentado o leiaute do circuito combinando com: (a) oscilador em anel e *buffer*, (b) elevador de tensão e (c) regulador de tensão contendo a fonte de referência. Esse leiaute já inclui os PADS com as tensões de entrada e saída para ser fabricado e, posteriormente, medido. O capacitor de carga C_L é inserido

internamente ao leiaute a fim de evitar variações de resistência e indutância ao adicionar um componente externo durante as medidas.

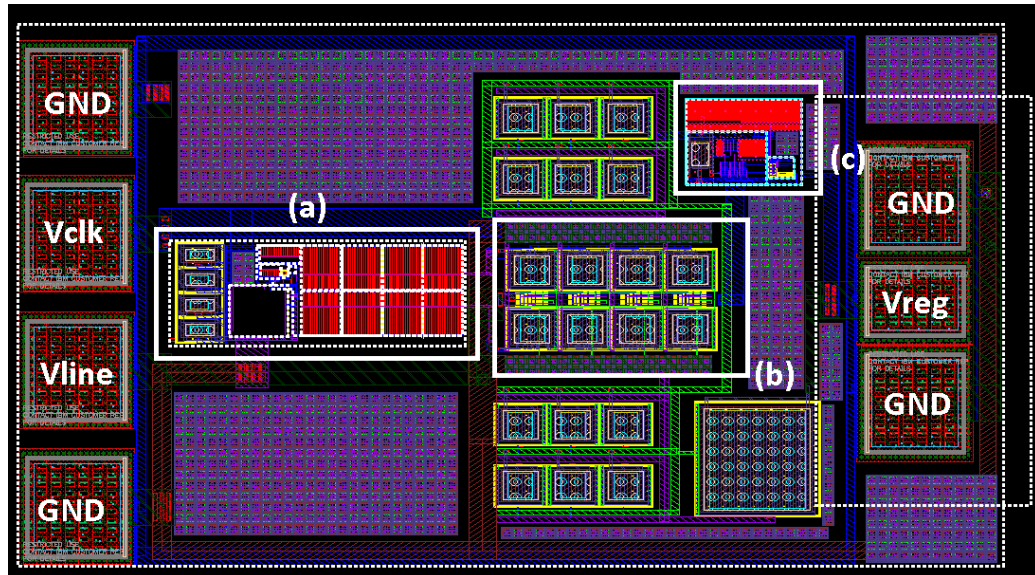


FIGURA 31 - LEIAUTE DO CIRCUITO COMBINANDO O OSCILADOR EM ANEL (A), ELEVADOR DE TENSÃO (B), REGULADOR DE TENSÃO CONTENDO A FONTE DE REFERÊNCIA (C) E PADS
FONTE: o autor

Na FIGURA 32 é apresentado o gráfico de simulação, pós- leiaute, da integração dos circuitos: oscilador, elevador de tensão e regulador de tensão. A configuração de simulação segue as informações apresentadas na FIGURA 30, sendo todas as fontes ideais. Os resultados obtidos mostram o consumo e a capacidade de fornecer corrente da integração dos circuitos desenvolvidos. O circuito é capaz de fornecer até $2\mu\text{A}$ com uma tensão de saída estável de aproximadamente $1,0\text{ V}$. Para um pior caso em que é aplicada uma carga de $3\mu\text{A}$, o circuito completo fornece uma tensão de saída aceitável, em torno de $0,85\text{ V}$. Essas medidas foram obtidas inserindo-se uma fonte de corrente ideal na saída, aplicando-se valores de corrente CC e observando a variação da tensão na saída do elevador de tensão. O consumo total de corrente dos três blocos principais é de aproximadamente $134\mu\text{A}$, considerando a maior corrente consumida, que é na variação dos sinais de *clock* e quando o sistema é iniciado. O consumo de corrente do regulador de tensão é de aproximadamente $5,5\mu\text{A}$ e do oscilador em anel com o buffer mais o elevador de tensão é de aproximadamente $128\mu\text{A}$. Somente o oscilador em anel consome 500 nA

e o restante é consumido pelo *buffer*, uma vez que o elevador de tensão não apresenta consumo de corrente (somente de fuga) e é caracterizado em termos de eficiência.

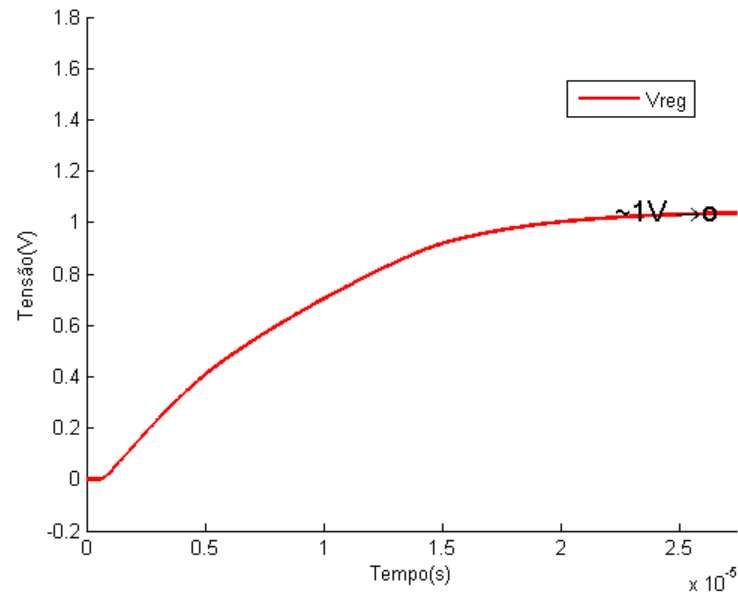


FIGURA 32 - SIMULAÇÃO DA INTEGRAÇÃO ENTRE O OSCILADOR EM ANEL, ELEVADOR DE TENSÃO E REGULADOR DE TENSÃO PARA UMA CARGA DE 2 mA
 FONTE: o autor

4. SIMULAÇÕES E MEDIDAS DOS CIRCUITOS FABRICADOS

Dois circuitos foram enviados para serem fabricados utilizando a tecnologia CMOS 130 nm. Todos os resultados de simulação foram obtidos após o leiaute, ou seja, com extração de parasitas resistivos e capacitivos e com os PADs. Não foram inseridas nas simulações as características capacitivas e resistivas dos PADs, pois um modelo que os representasse não estava disponível. A temperatura determinada para as simulações foi de 40 °C e a temperatura considerada do *die*, nas medidas, foi de 38,5 °C. A resistência e a capacitância da ponteira do osciloscópio são 1MΩ e 20 pF, respectivamente.

As medidas foram realizadas no laboratório Ims em Bordeaux na França, especializado e com equipamentos adequados para medições diretamente no *die*. Para tanto, o *die* é fixado em uma plataforma onde são direcionadas agulhas diretamente aos PADs de cada circuito. Essas agulhas são ligadas a equipamentos que geram as tensões de alimentação e referência e ao osciloscópio que faz a medição dos sinais de saída.

Os dois subprojetos, com blocos que compõem a arquitetura do sistema proposto de captação de energia, foram divididos da seguinte forma:

- **Circuito ROpCP**, contendo o oscilador em anel, *buffer* e o elevador de tensão;
- **Circuito LDOpEVR**, contendo o regulador de tensão com fonte de referência de tensão externa e referência de corrente interna.

O objetivo dessa separação é combinar os blocos que são interconectados na arquitetura, avaliar o comportamento e validar cada circuito. O Circuito ROpCP permite saber o quanto o oscilador consome para suportar a carga do elevador de tensão. A separação também permite identificar o quanto de corrente essa combinação pode oferecer. A variação do LDOpEVR permite identificar o comportamento do elevador de tensão, considerando a referência interna, que pode ser modificada, ou utilizando uma tensão proveniente da alimentação do oscilador, que é fixa.

Na FIGURA 33 apresenta-se a fotografia do Circuito ROpCP e na FIGURA 34 a do Circuito LDOpEVR, com os devidos PADs identificados. Pelas regas de leiaute

da fabricante da tecnologia utilizada, todo o espaço que não possui circuitos deve ser preenchido com blocos extra a fim de evitar problemas de fabricação.

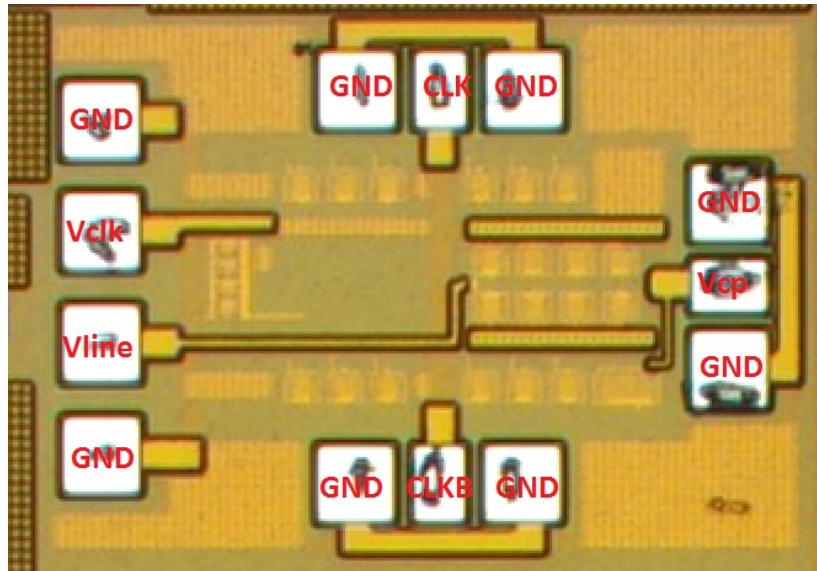


FIGURA 33 - FOTO DO CIRCUITO ROPCP ENVIADO PARA FABRICAÇÃO, INCLUÍDO PADS
 FONTE: o autor

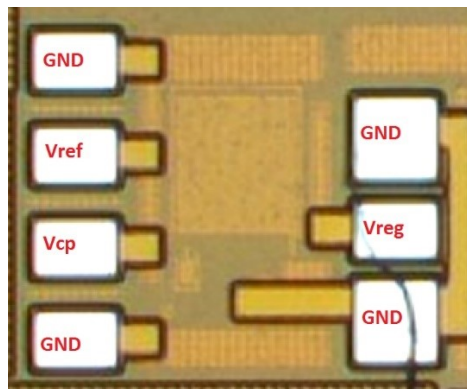


FIGURA 34 - FOTO DO CIRCUITO LDOPEVR ENVIADO PARA FABRICAÇÃO, INCLUÍDO PADS
 FONTE: o autor

A seguir são apresentados e comparados os resultados das simulações pós-leiaute e os resultados das medidas realizadas nos dois circuitos fabricados.

4.1. SIMULAÇÕES E MEDIDAS DO CIRCUITO RO_pCP

A FIGURA 35 apresenta o esquema de simulação e medição da integração dos blocos do Circuito RO_pCP. A FIGURA 36 apresenta o resultado de simulação pós-leiaute do Circuito RO_pCP.

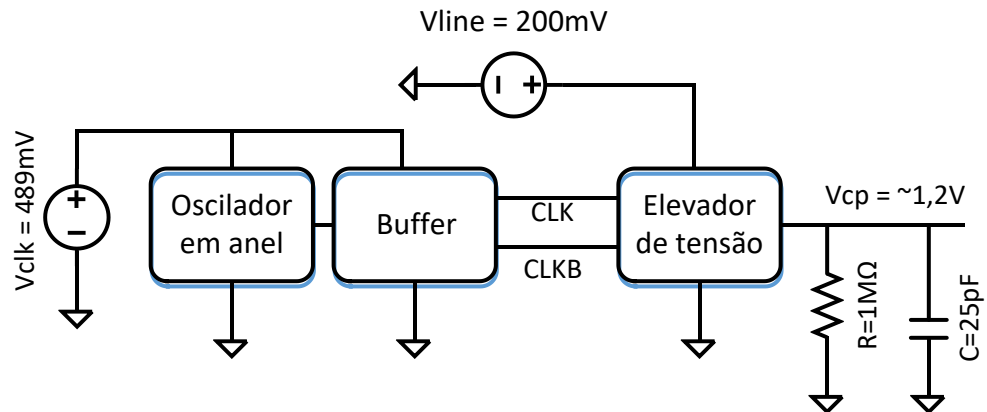


FIGURA 35 - CONFIGURAÇÃO DAS SIMULAÇÕES E MEDIDAS DO CIRCUITO RO_pCP
FONTE: o autor

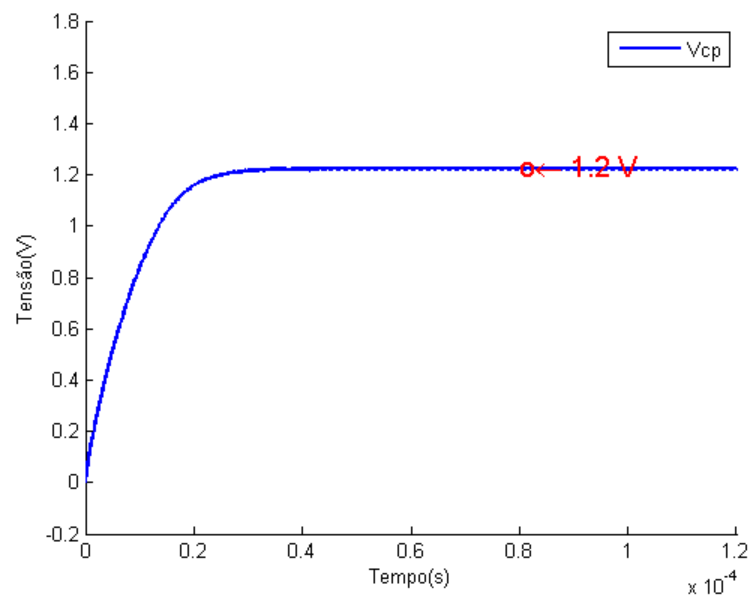


FIGURA 36 - RESULTADO DE SIMULAÇÃO DO CIRCUITO RO_pCP
FONTE: o autor

No gráfico da FIGURA 36 é possível observar a curva ascendente da tensão de saída do elevador de tensão, V_{cp} , até atingir aproximadamente 1,2 V. Essa curva representa a resposta esperada, em simulação pós-leiaute, do Circuito RO_pCP. O tempo de rampa T_{ramp} , que a saída leva para estabilizar-se no valor máximo é

aproximadamente 30 μs , bem maior do que os 2,4 μs utilizados como parâmetro para o projeto. Isso pode ter ocorrido devido às capacitâncias parasitas que incrementam a capacitância de carga C_L , como pode ser observado na equação (15). Isso significa que a carga do osciloscópio pode elevar ainda mais o tempo de rampa T_{ramp} no momento das medidas. Em contrapartida, o tempo de rampa não é prejudicial para o funcionamento do circuito, para a proposta de captação de energia, sendo que deve permanecer ligado continuamente para armazenar a energia em uma bateria ou capacitor.

Na FIGURA 37 são apresentados os sinais do *clock* (CLK) e *clock* invertido, (CLKB) assim como a saída do elevador de tensão, medidos pelo osciloscópio com auxílio de equipamentos especiais. O sinal de saída V_{cp} , tem um comportamento idêntico ao apresentado pela FIGURA 36, mostrado em um intervalo de tempo menor, permitindo a visualização das formas de onda dos sinais de *clock*. Nesse intervalo de tempo, a tensão de saída V_{cp} aparece em regime estacionário em torno de 1,6 V, com oscilações mínimas.

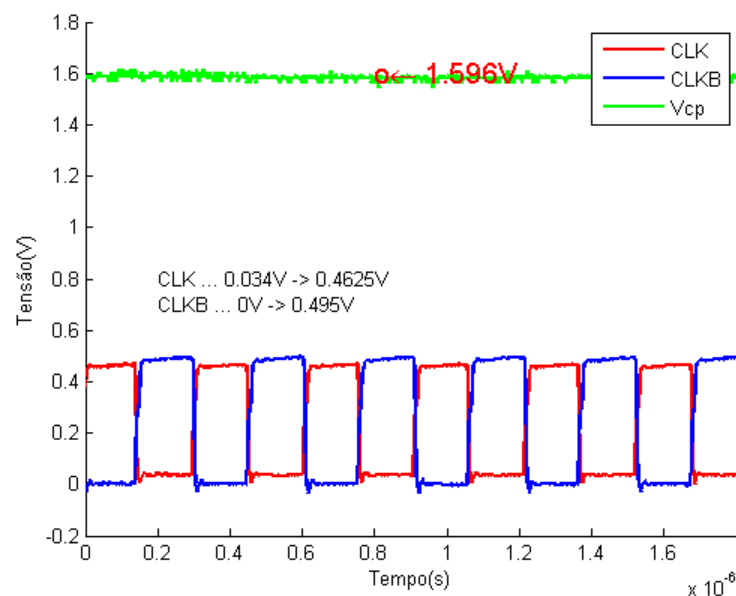


FIGURA 37 - MEDIDAS DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 489 \text{ mV}$
FONTE: o autor

Como é possível observar na FIGURA 37, há assimetria entre os sinais de *clock* (CLK e CLKB) medidos além de distorções na forma da onda. O sinal CLK varia de 0,034 V até 0,4625 V e o sinal CLKB varia de 0 V até 0,495 V, considerando a tensão de alimentação do circuito oscilador em anel com o *buffer* V_{clk} de 489 mV.

Como pode ser observado, o sinal CLK apresenta menor valor de pico e um pequeno nível CC. O sinal CLKB apresenta nível de tensão de pico acima da tensão de alimentação.

As capacitâncias parasitas aumentam o tempo de atraso da porta inversora e, conseqüentemente, alteram a frequência. Como as dimensões dos transistores das portas lógicas inversoras são as mínimas permitidas pela tecnologia, as capacitâncias parasitas, por menores que sejam, exercem influência aumentando os tempos t_{pHL} e t_{pLH} , e conseqüentemente diminuindo a frequência do oscilador.

Para manter a frequência dentro da especificação, a tensão de alimentação do oscilador em anel e do *buffer* foi elevada para 489 mV. Dessa forma, a frequência dos sinais de *clock* passou a 3,29 MHz e a saída do elevador de tensão passou a aproximadamente 1,6 V. A tensão de saída do elevador aumentou, pois, a tensão do *clock* passou de 400 mV para aproximadamente 489 mV. Assim, uma variação em cerca de 18 % da tensão do *clock* aumentou cerca de 22% a tensão de saída do elevador de tensão.

As condições dos resultados encontrados nas medidas foram retro simuladas a fim de verificar os valores medidos. As variações dos valores de tensão observados nas saídas dos sinais de *clock*, que aparecem na FIGURA 37, foram adicionadas nas fontes de pulso ideais do simulador nas entradas do elevador de tensão, ou seja, o sinal CLK varia de 0,034 V até 0,46 V e o sinal CLKB varia de 0 V até 0,49 V.

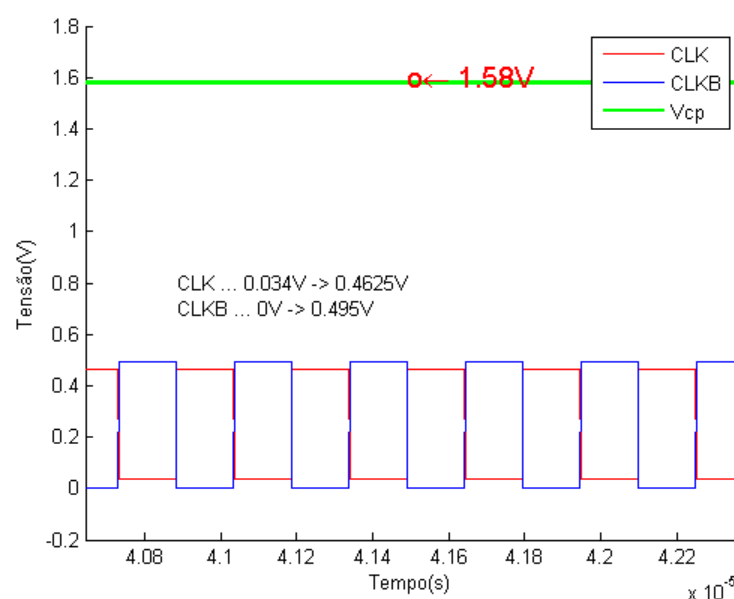


FIGURA 38 - RETRO SIMULAÇÕES DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 489$ mV

FONTE: o autor

Na FIGURA 38 são apresentados os sinais do *clock* (CLK) e *clock* invertido, (CLKB) assim como a saída do elevador de tensão retro simulados considerando somente a assimetria de amplitude, a variação do nível CC nas medidas e as cargas do osciloscópio. As distorções no formato da onda não foram implementadas. Para a mesma frequência observada nas medições, 3,29 MHz, foi possível recuperar a tensão de saída do elevador de tensão muito próxima aos 1,6 V medidos.

A FIGURA 39 apresenta a retro simulação considerando os sinais de *clock*, CLK e CLKB, simétricos, com a tensão de alimentação de 489 mV, a frequência de 3,29 MHz e cargas do osciloscópio. É possível observar que a tensão de saída do elevador passa de 1,6 V para 1,67 V, um aumento de tensão de 86 mV. Esse valor é considerado baixo, mas para circuitos de captação de energia, que funcionam em baixa tensão, essa variação de tensão de 4%, devido à assimetria do *clock*, e pode ser significativa dependendo da aplicação. Essa perda de tensão pode ser justificada considerando que, com o *clock* assimétrico, os capacitores do elevador de tensão não estão sendo carregados e descarregados em 100% de sua capacidade. Isso gera perda na transferência de energia entre o *clock* e o elevador de tensão e, conseqüentemente, queda de tensão na saída.

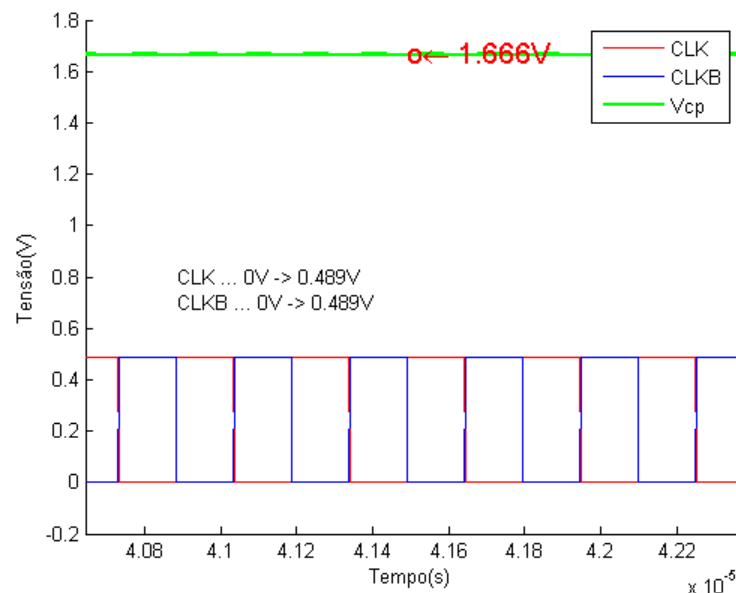


FIGURA 39 - SIMULAÇÕES DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 489$ mV E SINAIS CLOCK SIMÉTRICOS
FONTE: o autor

A assimetria identificada nas medidas e reproduzida nas simulações é decorrente da diferença de resistência desde a saída do oscilador, internamente no *chip*, até a ponteira do osciloscópio. A soma das resistências parasitas presentes nesse trecho de ligação pode ser suficientemente grande para gerar distorções. Simulações mostraram que uma diferença na ordem de 1000 vezes, entre as resistências de CLK e CLKB, pode causar essas variações entre os dois sinais de *clock* apresentados na FIGURA 37. Na FIGURA 38, a assimetria é simulada aplicando-se as tensões manualmente nas fontes ideais. Porém, um resultado semelhante é obtido adicionando uma resistência de 5 k Ω na saída do *buffer* do sinal CLK, enquanto que uma resistência de 5 Ω é adicionada na saída do *buffer* do sinal CLKB. Uma trilha um pouco mais longa e fina pode gerar essa diferença de resistência.

Na FIGURA 40 são apresentados os sinais de *clock* e de *clock* invertido, assim como a saída do elevador de tensão, medidos pelo osciloscópio, agora reduzindo a tensão de alimentação do oscilador para 430 mV a fim de encontrar a tensão de saída do elevador de tensão próxima da especificada.

Como pode ser visto, de forma semelhante à apresentada anteriormente, o sinal CLK apresenta menor valor do que a tensão de pico e um pequeno nível CC. O sinal CLKB apresenta nível de tensão de pico próximo à tensão de alimentação. O valor de tensão de saída do elevador de tensão observado é de aproximadamente 1,23 V e a frequência obtida é de 1,37 MHz. Como mencionado anteriormente, a variação de tensão modifica a frequência de saída do oscilador. Uma variação de 12% na tensão de *clock* gera uma variação de 58% na frequência de oscilação. Abaixo de 430 mV, a frequência de oscilação mantém-se abaixo da faixa identificada na FIGURA 15, em que o elevador de tensão possui tensão de saída acima de 1 V.

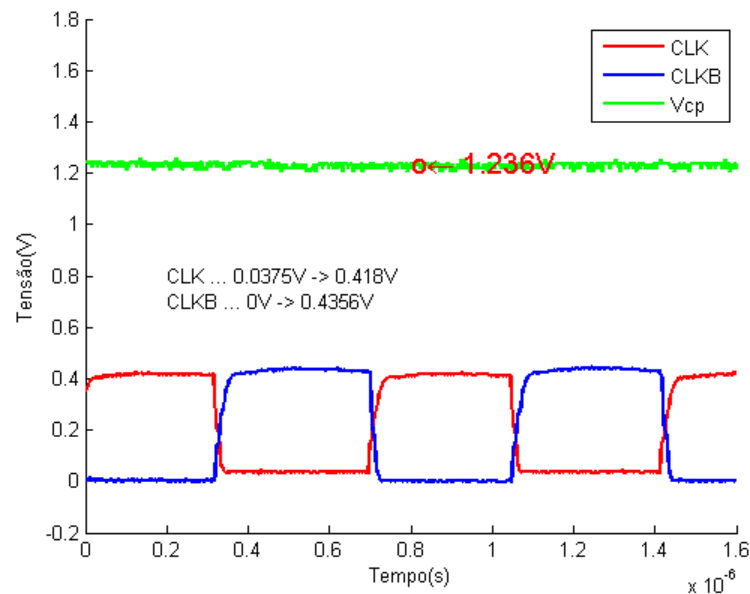


FIGURA 40 - MEDIDAS DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 430$ mV
 FONTE: o autor

De forma semelhante à anterior, as variações dos valores de tensão observados nas saídas dos sinais de *clock* medidos, que aparecem na FIGURA 40, foram adicionadas às fontes de pulso ideais, ou seja, o sinal CLK varia de 0,037 V até 0,42 V e o sinal CLKB varia de 0 V até 0,43 V.

Na FIGURA 41 são apresentados os sinais do *clock* e do *clock* invertido, assim como a saída do elevador de tensão, simulados considerando as distorções observadas nas medidas e as cargas do osciloscópio. Para a mesma frequência reproduzida nas medições de 1,37 MHz e as mesmas distorções dos sinais de *clock*, ou seja, assimetria, foi possível recuperar a tensão de saída do elevador de tensão muito próxima aos 1,2 V.

Na FIGURA 41, a assimetria também é retro simulada aplicando as tensões manualmente nas fontes ideais e o resultado é semelhante ao obtido adicionando uma resistência de 5 k Ω na saída do *buffer* do sinal CLK, enquanto que uma resistência de 5 Ω é adicionada na saída do *buffer* do sinal CLKB.

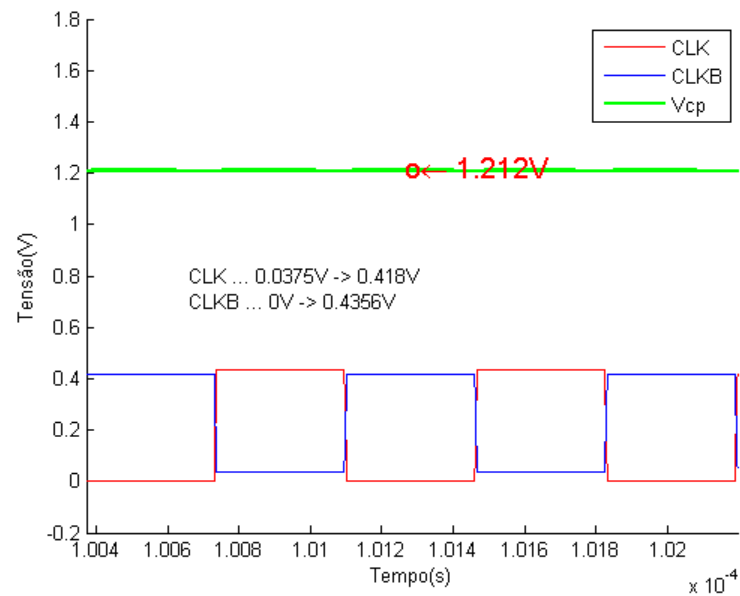


FIGURA 41 - CONFIGURAÇÃO DAS SIMULAÇÕES E MEDIDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 430 \text{ mV}$
 FONTE: o autor

Na FIGURA 42, apresenta-se a retro simulação considerando os sinais de *clock* simétricos e com a tensão de alimentação de 430 mV, frequência de 1,37 MHz e cargas do osciloscópio. É possível observar que a tensão de saída do elevador de tensão, de 1,27 V, é muito próxima à observada na medição, de 1,26 V na FIGURA 40. A diferença de tensão é de aproximadamente 62 mV e, considerando um nível muito baixo de potência na entrada do sistema, essa variação de tensão pode ser relevante.

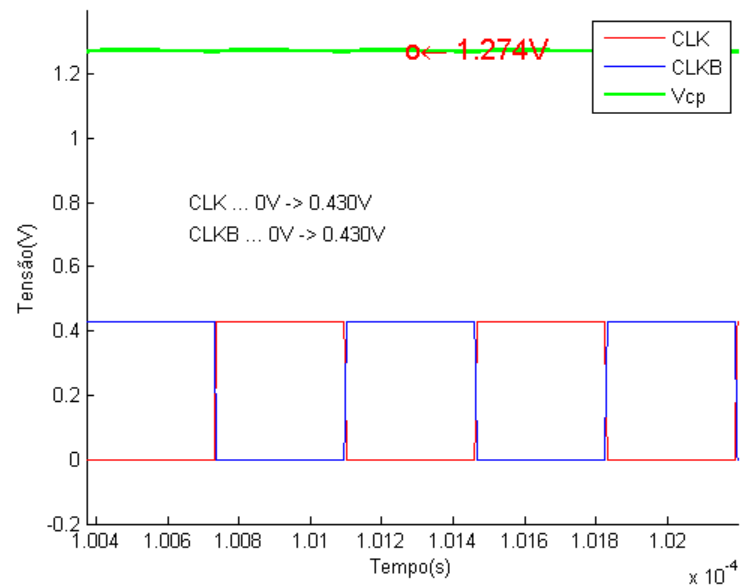


FIGURA 42 - SIMULAÇÕES DAS SAÍDAS DO CIRCUITO ROPCP, CONSIDERANDO $V_{clk} = 430$ mV E SINAIS *CLOCK* SIMÉTRICOS

FONTE: o autor

Na FIGURA 43 apresentam-se os sinais e valores de tensão esperados nas medições do Circuito ROPCP. O esperado é um *clock* e um *clock* invertido simétricos em nível de tensão e frequência. Considerando a carga de $1\text{ M}\Omega$, a tensão do elevador de tensão deveria ser de $1,2\text{ V}$ e a frequência do oscilador deveria ser $3,25\text{ MHz}$.

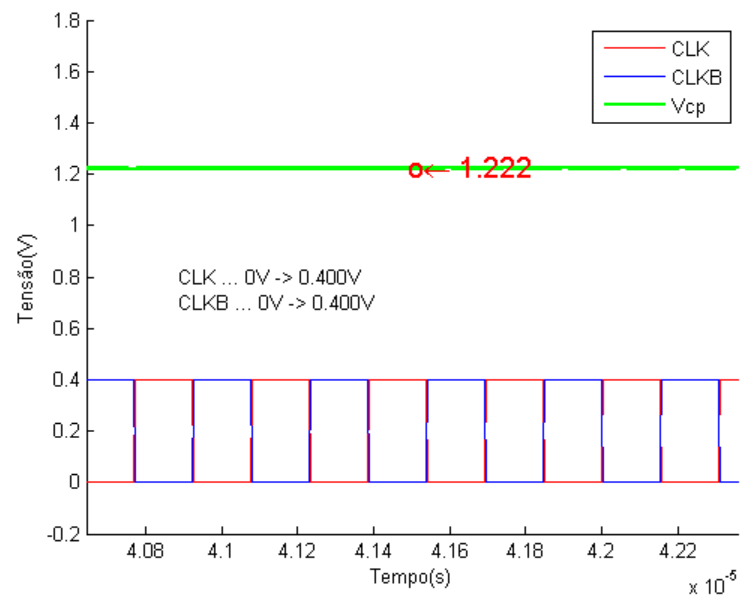


FIGURA 43 - EXPECTATIVA PARA AS MEDIDAS DO CIRCUITO ROPCP

FONTE: o autor

Levando em consideração os valores esperados, conforme FIGURA 43, os valores de tensão do oscilador V_{clk} foram variados, primeiramente como objetivo de que o *clock* gerasse a frequência de especificação e depois que a tensão V_{clk} gerasse a tensão de saída do elevador conforme as especificações. Dessa forma, foram encontrados $V_{clk} = 489$ mV para gerar a frequência de 3,29 MHz (gerando $V_{cp} = 1,6$ V) e $V_{clk} = 430$ mV para gerar a tensão de saída de 1,2 V (gerando $f_{osc} = 1,29$ MHz).

Como visto na FIGURA 21, foi adicionada uma cópia dos dois últimos estágios do *buffer* do oscilador em anel na saída o estágio 6 do sinal CLK para gerar o sinal CLK. Isso pode gerar um atraso em fase entre os dois sinais de *clock*, fazendo com que as duas chaves estejam acionadas em um determinado tempo e, dessa forma, os capacitores sejam descarregados causando queda de tensão.

O consumo de corrente do Circuito ROPCP encontrado foi de aproximadamente 130 μ A nas medidas e de aproximadamente 128 μ A nas simulações.

A FIGURA 44 apresenta o leiaute do Circuito ROPCP, incluindo os PADS. As dimensões do leiaute desse circuito são: 1.080 μ m de largura por 1.170 μ m de comprimento.

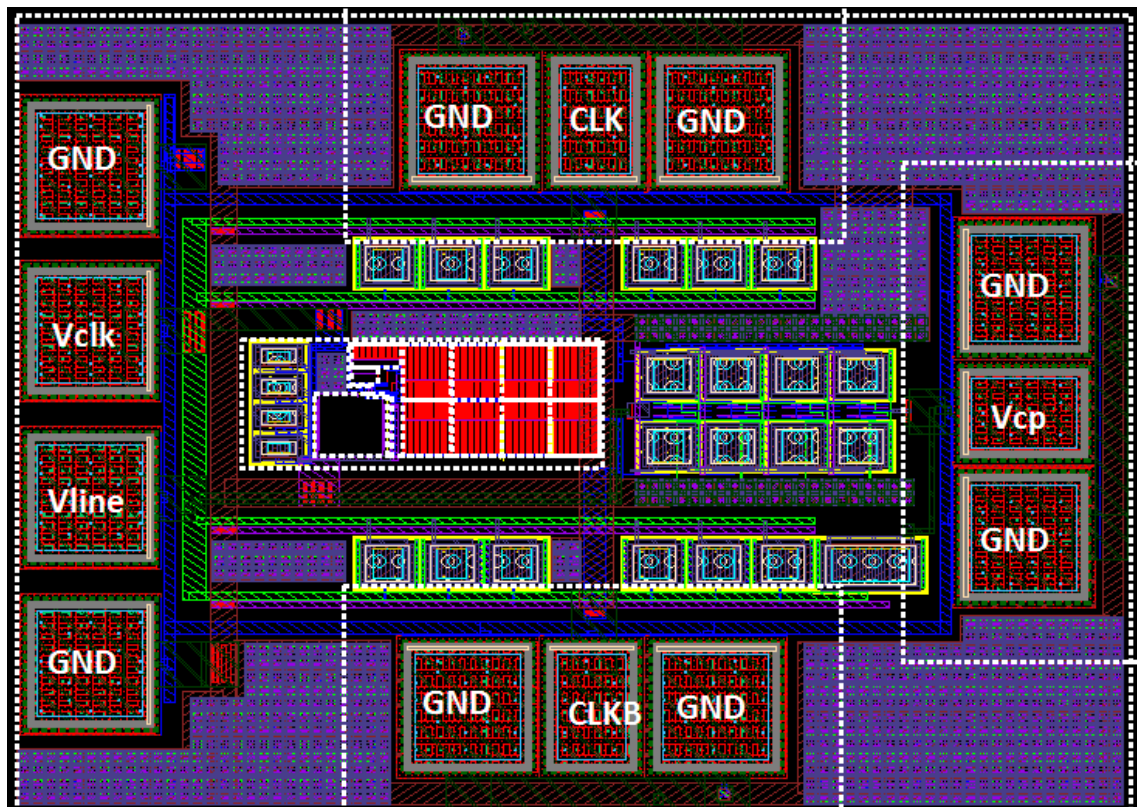


FIGURA 44 - LEIAUTE DO CIRCUITO ROPCP COM PADS

FONTE: o autor

4.2. SIMULAÇÕES E MEDIDAS DO CIRCUITO LDOpEVR

Na FIGURA 45 é apresentado o esquema de simulação e medidas do Circuito LDOpEVR. O circuito de referência fornece tensão para o espelho de corrente dentro do amplificador operacional, ou seja, a referência de corrente, e é alimentado com a tensão V_{cp} . A tensão de referência $V_{ref} = 200\text{ mV}$, para a entrada do amplificador operacional, e a tensão de entrada $V_{cp} = 1,2\text{ V}$, são aplicadas nos pinos do circuito por fontes de tensão CC. Essas fontes são ligadas ao circuito por meio das agulhas conectadas aos PADS. A tensão V_{reg} é medida de forma semelhante, mas os pinos são ligados a um osciloscópio. A carga resistiva R_L é a carga da própria ponteira do osciloscópio e a carga capacitiva C_L é 50 pF que é integrada no silício integrando o circuito. Além da carga C_L integrada, há a presença da carga do osciloscópio, que é aproximadamente 20 pF.

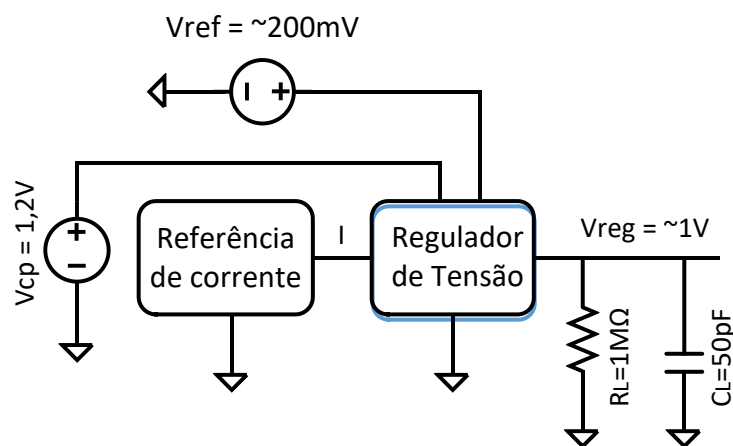


FIGURA 45 - CONFIGURAÇÃO DAS SIMULAÇÕES E MEDIDAS DO CIRCUITO LDOPEVR
FONTE: o autor

No QUADRO 13 e na FIGURA 46 apresentam-se as comparações entre os valores de tensão de saída do regulador de tensão V_{reg} , das medidas com os valores das simulações pós-leiaute. Os valores de tensão de saída medidos e simulados não apresentam diferenças significativas, ou seja, o V_{reg} de simulação é muito próximo ao V_{reg} medido. As pequenas diferenças entre os valores medidos e os valores simulados podem ser decorrentes de imprecisões nas leituras dos valores e dos efeitos de fabricação, que podem variar as dimensões dos componentes provocando descasamento.

V_{cp}	400 mV	720 mV	1,04 V	1,2 V	2,16 V
$V_{reg}(\text{Simulado})$	389 mV	715 mV	1,01 V	1,02 V	1,03 V
$V_{reg}(\text{Medido})$	400 mV	725 mV	1,02 V	1,04 V	1,04 V

QUADRO 13 - VALORES MEDIDOS DE SAÍDA DO REGULADOR EM RELAÇÃO A SIMULAÇÃO

FONTE: o autor

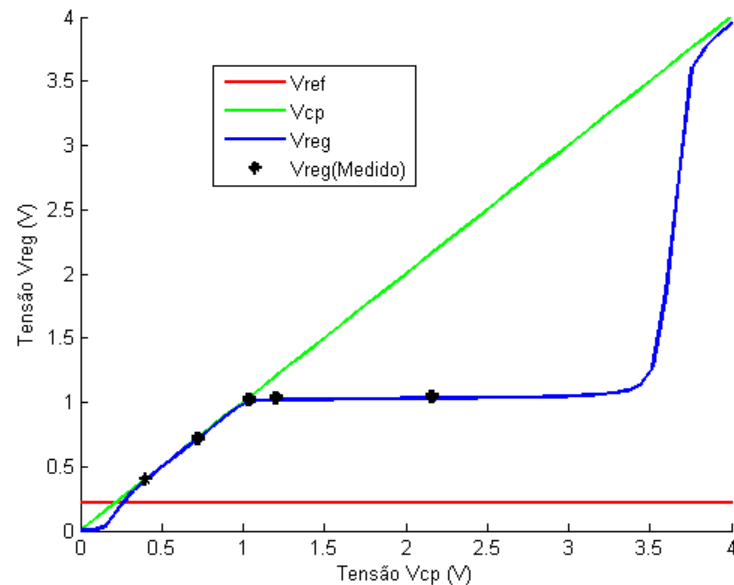


FIGURA 46 - COMPARAÇÃO ENTRE SIMULAÇÃO E MEDIDAS DO CIRCUITO LDOPEVR

FONTE: o autor

Não foi realizada uma variação da tensão de entrada V_{cp} entre 0 e 4 V, conforme anteriormente apresentado na FIGURA 27. Somente cinco níveis de tensão CC foram aplicados e observados os respectivos valores de tensão na saída. O que pode ser observado é que a saída de tensão V_{reg} acompanha a tensão de entrada V_{cp} até atingir 1 V. A partir desse nível, V_{reg} permanece aproximadamente 1 V, mesmo com a variação de V_{cp} .

O consumo de corrente do Circuito ROpCP foi de aproximadamente 5,4 μA nas medidas e aproximadamente 5,54 μA nas simulações.

A FIGURA 47 apresenta o leiaute do Circuito ROpCP, incluído o capacitor de carga $C_L = 50 \text{ pF}$ e os PADs. As dimensões do circuito são 545 μm de largura por 568 μm de comprimento.

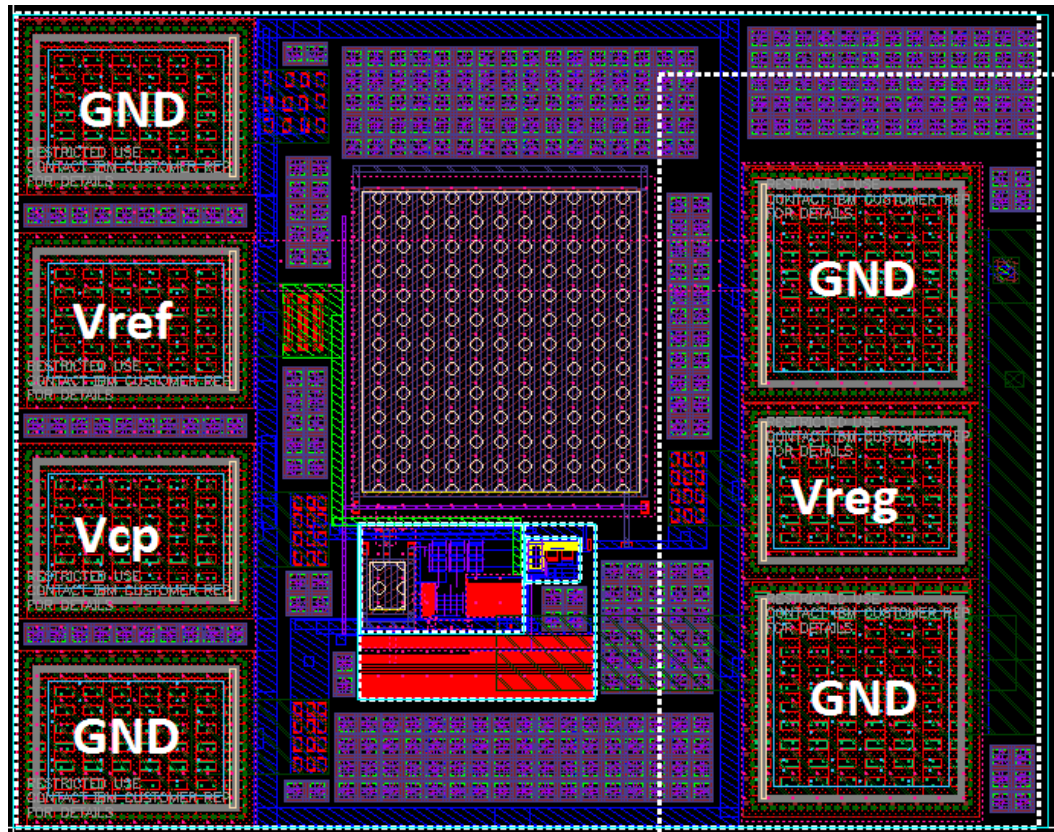


FIGURA 47 - LEIAUTE DO CIRCUITO LDOPEVR E PADS
 FONTE: o autor

5. CONCLUSÕES E PERSPECTIVAS

Uma arquitetura de sistema de captação de energia foi apresentada nesse trabalho. Alguns blocos do sistema foram desenvolvidos e fabricados em tecnologia CMOS 130 nm. Os blocos projetados e implementados individualmente, assim como seus sub circuitos, foram: oscilador em anel com *buffer*, elevador de tensão e regulador de tensão com circuito de referência de tensão e corrente. A integração entre os blocos fabricados foi desenvolvida e foram realizadas somente simulações pós-leiaute. Foram enviados para fabricação dois circuitos: (1) Circuito ROpCP, contendo o oscilador em anel com o *buffer* e elevador de tensão, (2) Circuito LDOpEVR, contendo o regulador de tensão com o circuito de referência de corrente interno e entrada para a tensão de referência externa.

O consumo de corrente dos circuitos desenvolvidos e medidos, além da quantidade de corrente fornecida, é apresentado no QUADRO 14. O circuito com a interligação entre todos os blocos pode fornecer até 2 μA para V_{reg} de aproximadamente 1,0 V. Para uma carga de 3 μA , a tensão V_{reg} passa para aproximadamente 0,85 V. O consumo total de corrente dos três blocos principais é de aproximadamente 134 μA , em simulação. Apesar de parecer uma corrente muito pequena que será aproveitada em relação à corrente consumida, é interessante observar que, com 2 μA contínuos, é possível carregar uma bateria ou capacitor. Em um momento de maior demanda esses elementos irão fornecer picos de corrente. Além disso, há a possibilidade de que uma rede composta por vários desses sistemas de captação de energia de sinais de RF ligados em série e em paralelo possa gerar uma quantidade de corrente muito maior e um nível de tensão maior, o suficiente para aumentar a gama de dispositivos beneficiados.

Circuito	Medidas	Simulações (PLS)	Corrente distribuída para a carga
ROpCP	~130 μA	~128 μA	7 μA
LDOpEVR	5,4 μA	5,54 μA	10 μA
Combinação entre os circuitos desenvolvidos	-	~134 μA	~2 μA

QUADRO 14 - CORRENTE CONSUMIDA E FORNECIDA PELO CIRCUITO DESENVOLVIDO
FONTE: o autor

O QUADRO 15 apresenta a comparação dos trabalhos encontrados na literatura com a proposta deste trabalho, considerando simulação pós-leiaute. Neste trabalho considera-se que o nível de tensão, na saída do retificador, seja 200 mV. Isso significa que as potências dos sinais de RF, que serão captados, são muito menores do que -1 dBm. Os blocos desenvolvidos são equivalentes aos blocos que compõem as demais propostas, apesar de não terem sido desenvolvidos todos os blocos apresentados. Não há como fazer uma comparação geral do consumo de corrente pois nem todas as propostas apresentaram os valores de consumo. A tensão de saída de 1,0 V não representa uma especificação obrigatória. Como observado, o nível de tensão de saída depende da necessidade do projeto e nem todas as propostas visam armazenamento da energia captada.

Referência	Zhao <i>et al.</i> (2012)	Jabbar <i>et al.</i> (2010)	Martins e De Sousa (2013)	Yeager <i>et al.</i> (2010)	Shokrani <i>et al.</i> (2014)	Esse Trabalho
Fonte de energia	RF 900 MHz	RF	RF 900 MHz	RF 900 MHz	RF 900 MHz	RF
Componentes	Retificado, Conversor de tensão DC/DC e Bateria	Rede de casamento de impedância, retificador, multiplicador de tensão e Controlador de Carga	Retificador, limitador de tensão, Seletor de modo, regulador de tensão, fonte de referência e modulador de carga	Retificador, regulador de tensão, referência de tensão e oscilador	Rede de casamento de impedância, retificador, limitador de tensão, regulador de tensão	Oscilador em anel, elevador de tensão, regulador de tensão
Tensão/ Potência de Entrada	350 mV (CC) elevador	400 mV (CA) Só retificador	71 mV (CA)	-	28 mV (CA)	200 mV (CC)
Tensão/Potên cia de Saída	1,4 V	1,5 V Só retificador	1,2 V Saída do Retificado	0,7 V – 1,2 V – 1,8 V	1,15 V	1 V
Armazena- mento	Bateria	Bateria	-	-	-	Bateria e capacitor
Consumo	-	-	8,5 μ W ativo 4,9 μ W em espera	1,2 A núcleo analógico	-	134 μ A para 1,0 V na saída
Distância	50 cm	2 cm	-	3 m	-	-
Área	-	-	0,34 mm ² (Total)	2 mm ² (Total)	-	0,080 mm ² (Todos os 5)
Processo	CMOS 130 nm	CMOS 250 nm	CMOS 130 nm	CMOS 130 nm	CMOS 180 nm	CMOS 130 nm

QUADRO 15 - COMPARAÇÃO DAS PROPOSTAS DA LITERATURA COM O DESENVOLVIMENTO DESTE TRABALHO

FONTE: o autor

No QUADRO 16 é apresentada a comparação entre os projetos de geradores de *clock* identificados na literatura com o desenvolvido neste trabalho, considerando os resultados obtidos nas medidas. A topologia, oscilador em anel, escolhida atende bem às demandas deste trabalho, em operar em baixa tensão, baixo consumo e em fornecer a frequência de 3,25 MHz para uma alta carga capacitiva de 25 pF, com a adição do *buffer*. O consumo de corrente elevado, em comparação a algumas das propostas, é justamente causado pela necessidade do *buffer*, que é o componente que mais consome entre todos os circuitos projetados.

Referência	Topologia de Oscilador	Tensão	Frequência	Consumo	Área	Processo
Farzeen <i>et al.</i> (2010)	VCO	0,3 V	5,12 MHz ($V_{ctrl} = 1 V$)	24 nW	-	CMOS 90 nm
Martins e De Sousa (2013)	Oscilador em Anel	1,2 V	~900 MHz	8,4 μA (Total)	0,34 mm ² (Total)	CMOS 130 nm
Machado <i>et al.</i> (2014)	Oscilador em Anel com Indutores e Oscilador Colpitts	30 mV- 86 mV	400 MHz – 700 MHz	-	-	CMOS 130 nm
Yeager <i>et al.</i> (2010)	Oscilador em Anel	700 mV	3 MHz	260 nA (180 nW)	2 mm ² (Total)	CMOS 130 nm
Hsieh e Lu (2007)	VCO	400 mV- 600 mV	5,6 GHz ($V_{ctrl} = 0,3 V$)	1 mW – 3 mW	0,49 mm ² (PADs)	CMOS 180 nm
Esse trabalho	Oscilado em anel (Com o Buffer)	400 mV	3,25 MHz	130 μA (52 μW)	0,038 mm ²	CMOS 130 nm

QUADRO 16 - COMPARAÇÃO ENTRE OS PROJETOS DE OSCILADORES IDENTIFICADOS NA LITERATURA COM O DESENVOLVIDO NESTE TRABALHO

FONTE: o autor

O QUADRO 17 apresenta a comparação entre os principais projetos de elevadores de tensão identificados na literatura com o desenvolvido neste trabalho, considerando os resultados obtidos nas medidas. Como observado, quanto maior a frequência, maior é a corrente disponível na saída, desde que o circuito não opere em baixas tensões. Dependendo da topologia, para poder operar com tensões tão baixas quanto 200 mV na entrada, algumas mudanças dever ser adicionadas, como na topologia adotada neste trabalho. Devido às baixas tensões, os transistores não atuam em um nível de inversão forte o suficiente para a passagem de uma corrente mais alta. Dessa forma, é preciso encontrar o intervalo de frequência de maior eficiência, como

no nosso caso apresentado pela FIGURA 15. Buscando a maior eficiência obtém-se a quantidade de estágios para a tensão e corrente de saída desejadas. Maior eficiência também é atingida aumentando a tensão de alimentação do *clock*, conforme identificado em algumas das propostas. A corrente de saída atingida pelo elevador de tensão desenvolvido neste trabalho é de 7 μA .

Referência	Reddy <i>et al.</i> (2011)	Zhao <i>et al.</i> (2012)	Pelliconi <i>et al.</i> (2003)	Abdelaziz <i>et al.</i> (2011)	New <i>et al.</i> (2012)	Esse trabalho
Frequência do <i>clock</i>	20 MHz	20 Hz	100 MHz	1 MHz	60 MHz	3,25 MHz
Topologia	Dickson	Switched-Capacitor DC-DC Converter	Pelliconi	Pelliconi modificada	Cross-coupled modificada	Pelliconi modificado
V_{CLOCK}	$1,5 \cdot V_{DD}$	V_{DD}	V_{DD}	$2 \cdot V_{DD}$	V_{DD}	$2 \cdot V_{DD}$
Estágios	9	3	3 e 4	6	2	4
V_{IN}	1 V	350 mV	1,6 V e 2 V	300 mV	1 V	200 mV
V_{OUT}	5 V	1,4 V	4,5 V e 10 V	3,04 V	$\sim 0,56$ V	1,2 V
I_{OUT}	100 μA	-	~ 350 μA	2,8 μA	10 mA	7 μA
Eficiência	-	40,5%	56%	66%	-	61,2%
Tecnologia	CMOS 600 nm	CMOS 130 nm	CMOS 180 nm	CMOS 250 nm	CMOS 45 nm	CMOS 130 nm

QUADRO 17 - COMPARAÇÃO ENTRE OS PRINCIPAIS PROJETOS DE ELEVADORES DE TENSÃO IDENTIFICADOS NA LITERATURA COM O DESENVOLVIDO NESSE TRABALHO

FONTE: o autor

No QUADRO 18 é apresentada a comparação entre os principais projetos de regulador de tensão identificados na literatura com o desenvolvido neste trabalho, considerando os resultados obtidos nas medidas. Como observado, a topologia LDO é utilizada por todas as propostas apresentadas, inclusive por este trabalho. Essa topologia é utilizada por circuitos que operam em baixa tensão, pois a tensão de entrada e a tensão de saída são muito próximas, conforme apresentado em todas das referências. O consumo de corrente varia com as características de projeto dos componentes do regulador de tensão, como o amplificador operacional e o circuito de referência de tensão e corrente, e caso um circuito adicional seja utilizado. Circuitos com especificações mais genéricas tendem a consumir mais potência, pois precisam atender a várias características de projeto. Circuitos mais específicos tendem a

consumir menos potência, pois atendem às características necessárias para aquele projeto. Isso significa que um circuito, no caso o amplificador operacional, que não atenda a todas as características padrões de projeto, pode funcionar perfeitamente para uma aplicação e não funcionar adequadamente para outras aplicações. Esse é um motivo para a grande variação de corrente entre as propostas apresentadas. A corrente máxima projetada neste trabalho para distribuir para a carga é de 10 μA , as demais referências não apresentaram essa característica.

Referência	Topologia	V_{IN}	V_{OUT}	Corrente de consumo	Área	Processo
Martins e De Sousa (2013)	LDO, Amplificador com dois estágios	1,2 V	0,8 V	2,3 μA	0,34 mm^2 (Total)	CMOS 130 nm
Shokrani <i>et al.</i> (2014)	LDO, Amplificador com um estágio	2 V	1,8 V – 1,1 V	-	-	CMOS 180 nm
Yeager <i>et al.</i> (2010)	LDO, Amplificador com dois estágios	3,8 V	0,7 V - 1,2 V - 1,8 V	100 nA	2 mm^2 (Total)	CMOS 130 nm
Choi <i>et al.</i> (2009)	LDO com amplificador mais <i>buffer</i>	2,5~5,5 V	0,6~3,3 V	130 μA	-	CMOS 180 nm
Liu e Chen (2013)	LDO, Amplificador com um estágio	1,5 V	1,0 V	100 nA	-	CMOS 65 nm
Esse trabalho	LDO, Amplificador com dois estágios	1,2 V	1,0 V	~5,5 μA	0,012 mm^2	CMOS 130 nm

QUADRO 18 - COMPARAÇÃO ENTRE OS PRINCIPAIS PROJETOS DE REGULADOR DE TENSÃO IDENTIFICADOS NA LITERATURA COM O DESENVOLVIDO NESTE TRABALHO

FONTE: o autor

Foram apresentados os resultados de medidas dos dois circuitos enviados para a fabricação: ROpCP e LDOpEVR. O circuito ROpCP apresentou diferenças entre as medidas e as simulações, devido a possíveis componentes parasitas, resistivos e capacitivos, adicionais, presentes desde o oscilador em anel até a ponteira do osciloscópio. Esses componentes parasitas apresentavam valores suficientes para provocar distorções na frequência, amplitude e formato dos sinais de *clock*. As medidas

foram realizadas com todas as ponteiros (agulhas) conectadas no *die* e possivelmente a ponteira ligada nos PADs dos sinais de *clock* pode ter feito variar a frequência pela mudança de carga para um valor muito maior. Tais resultados mostram o quanto a distorção do sinal de *clock* pode afetar a resposta final do circuito. O circuito LDOpEVR apresentou valores de medidas muito próximos aos valores obtidos nas simulações. O circuito de referência de tensão e corrente poderia prejudicar os resultados por ser um elemento suscetível a variações da temperatura. Como o resultado apresentado era esperado, é possível afirmar que o circuito de referência de corrente funcionou adequadamente, assim como o amplificador operacional.

Para a implementação do amplificador operacional do regulador de tensão, como já mencionado, foram utilizados alguns valores apresentados por Martins e De Sousa (2013), com modificação na corrente de polarização e retirada dos componentes de controle. Isso foi necessário porque essa implementação já havia sido feita, inclusive em leiaute, e não havia tempo para a nova implementação antes da data de envio para a fabricação.

Como resultado deste trabalho, um artigo científico foi publicado no XXII Iberchip Workshop 2016 (Páginas 77-80), intitulado *Ultra low power integrated circuits for energy harvesting*.

Os trabalhos futuros consistem em desenvolver os demais blocos da arquitetura proposta, assim como aperfeiçoar os blocos já desenvolvidos, buscando menor consumo de potência e maior corrente na saída. Para o oscilador, é necessário buscar um menor consumo de corrente na transição do nível baixo para o alto e do alto para o baixo. O *buffer* é um elemento que consome muita corrente, aproximadamente 128 μA , na transição do sinal de *clock* e 7 μA em regime estacionário, devido às suas dimensões e ao seu número de estágios. Dessa forma, o *buffer* é o circuito que deve sofrer a maior mudança em sua topologia. Um elevador de tensão com carga menor também poderia demandar um *buffer* com menos estágios, o que, consequentemente, consumiria menos corrente. O elevador de tensão pode fornecer mais corrente na saída, dependendo da melhoria da topologia. Além disso, a forma de gerar o sinal CLKB a partir do sinal CLK pode ocasionar perdas no sistema e, dessa forma, uma nova topologia deve ser adotada.

Uma estratégia para reduzir o consumo de potência do *buffer* é diminuir o número de estágios do oscilador em anel e aumentar o tamanho dos transistores de

cada porta inversora, fazendo com que o número de estágio do *buffer* seja reduzido, consequentemente diminuindo o consumo de corrente.

Conforme apresentado na FIGURA 14, a arquitetura proposta é adequada para um sistema de captação de energia de sinais de RF. Entretanto, alguns blocos podem ser integrados para a captação de energia de outras fontes e alguns blocos podem ser adicionados ou modificados.

Na maioria das propostas da literatura, a frequência do sinal de RF é de 900 MHz. Entretanto, além dessa frequência, a frequência de 2,4 GHz parece ser mais adequada, pois nessa faixa se encontra a maior quantidade de dispositivos em operação.

Na FIGURA 48 está apresentada uma possível melhoria para a arquitetura de um sistema de captação de energia. Nesse caso, a rede de casamento de impedância passa a ser integrada no *chip* e o pré-elevador de tensão pode ser substituído por um segundo retificador, com limitador de tensão ou um circuito estimulador do *clock* entre o oscilador em anel e o elevador de tensão. Esse segundo retificador forneceria a tensão do *clock* V_{clk} e a tensão de referência V_{ref} do regulador de tensão.

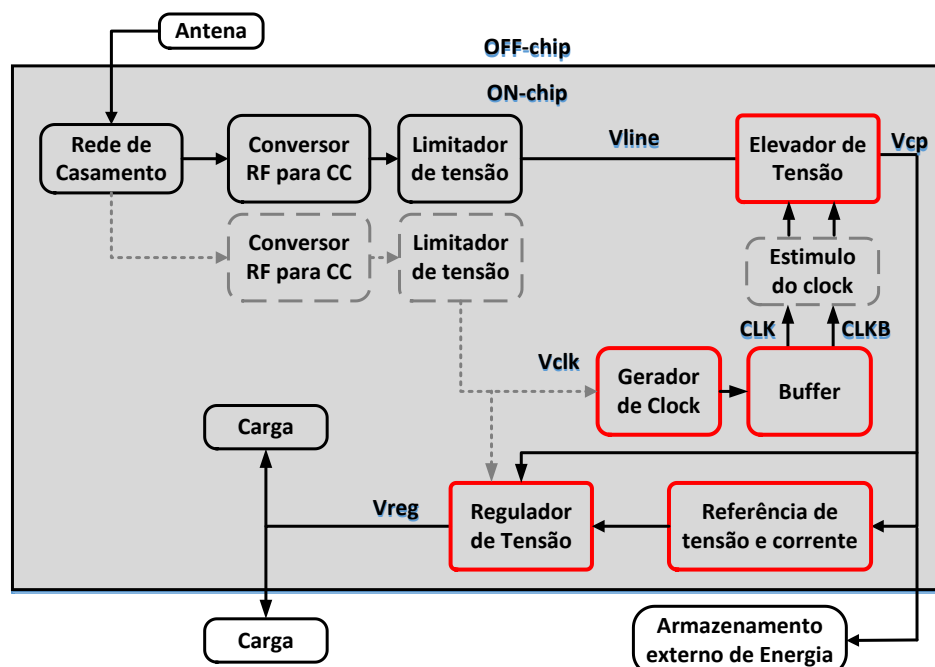


FIGURA 48 - ALTERNATIVA DE SISTEMA DE CAPTAÇÃO DE ENERGIA
FONTE: o autor

Em resumo, uma arquitetura de sistema de captação de energia foi proposta, assim como foram desenvolvidos os circuitos do gerador de *clock*, elevador de tensão

e regulador de tensão. Esses circuitos foram enviados para fabricação e posteriormente foram medidos e comparados com os resultados obtidos em simulação. A estratégia de utilizar o circuito Pelliconi modificado como elevador de tensão objetivou simplificar o retificador, de modo que o maior ganho de tensão ficasse a cargo do elevador de tensão. Isso permite que a tensão de entrada do retificador seja ainda menor em relação ao que se encontra no estado da arte. Vale destacar que o oscilador em anel apresentou um baixo consumo de corrente e atendeu adequadamente às necessidades deste projeto. No entanto, a interface entre o elevador de tensão e o oscilador em anel apresentou maior desafio, pois a necessidade de adicionar um buffer fez com que o consumo do circuito aumentasse drasticamente. Como observado, tanto a arquitetura como cada circuito que a compõem ainda podem evoluir, principalmente visando ao menor consumo de corrente, tendo em vista a importância e atualidade do tema.

APÊNDICE A

Código do MATLAB para o projeto do amplificador operacional de dois estágios

```

clear;
close all;
% opamp_2_est_basico.m
% -- Constantes
e = 8.85e-12;          %permeabilidade no
vácuo [F/m]
kox = 3.9;             %constante dielétrica do
silício
eox = 3.9*8.85e-12;    %permeabilidade
[F/m]
q = 1.60217733e-19;    %carga do elétron
kb = 1.3806488e-23;    %constante de
boltzmann

% -- Parâmetros da tecnologia IBM 130nm

n_N = 1.2;
n_P = 1.2;

tox_N = 3.39e-9;
tox_P = 3.58e-9;

Cox_N = eox/tox_N;
Cox_P = eox/tox_P;

vth0_N = 113e-3;
vth0_P = -236e-3;

vsat_N = 101e3; %velocidade de saturação vsat
= vlim (obtido da simulação DC - model
parameters)
vsat_P = 110e3; %velocidade de saturação vsat
= vlim (obtido da simulação DC - model
parameters)

u_N = 30.12e-3
u_P = 7.151e-3

K_N = u_N*Cox_N
K_P = u_P*Cox_P

UCRIT_P = vsat_P/u_P;
UCRIT_N = vsat_N/u_N;          %campo
elétrico crítico

xj_P = 120e-9;          %profundidade da
junção (obtido da simulação DC - model
parameters)
xj_N = 150e-9;          %profundidade da
junção (obtido da simulação DC - model
parameters)

esi = 11.7*8.85e-12;    %permissividade do
silício (obtido na net)

Lc_P = sqrt((esi*xj_P)/Cox_P); %Lc
Lc_N = sqrt((esi*xj_N)/Cox_N); %Lc

pclm_P = 2;
pclm_N = 300e-3;

% -- Projeto
L = 500e-9;
VDD = 1.2;
VSS = 0;

VTH_1_min = 200e-3; %arredondado para cima
VTH_1_max = 300e-3; %arredondado para cima

VTH_3_max = -265e-3; %arredondado para cima

T = 313.15;          %temperatura em Kelvin
para 40C
phit = (kb*T)/q      %tensão térmica

W_P = 30e-6;
W_N = 24e-6;

L_P = 0.8e-6;
L_N = 0.8e-6;

Is_P =
(1/2)*u_P*Cox_P*n_P*phit*phit*(W_P/(L_P));
%Corrente específica
Is_N =
(1/2)*u_N*Cox_N*n_N*phit*phit*(W_N/(L_N));
%Corrente específica

CL = 10e-12
Cc = 0.22*CL*1.1

GBW = 5e6

SR = 5/1e-6

ID_5 = SR*Cc

gm_1 = 2*pi*GBW*Cc % arredondar para cima

%%%% Primeiro estágios

i_ff=10

I_F = phit*gm_1*(1+sqrt(1+i_ff))/2*n_N

ISQ_N = K_N*n_N*((phit)^2)/2
ISQ_P = K_P*n_P*((phit)^2)/2

```

```

S_1=I_F/(i_ff*ISQ_N)
S_2=I_F/(i_ff*ISQ_N)

S_3=I_F/(i_ff*ISQ_P)
S_4=I_F/(i_ff*ISQ_P)

I_F5=2*I_F
ID_5=I_F5

S_5=I_F5/(i_ff*ISQ_P)

L_5 = 1000e-9;
L_6 = 1000e-9;
L_7 = 1000e-9;
L_8 = L_5;

W_1 = S_1*L_1;
W_2 = S_2*L_2;
W_3 = S_3*L_3;
W_4 = S_4*L_4;
W_5 = S_5*L_5;
W_6 = S_6*L_6;
W_7 = S_7*L_7;
W_8 = S_8*L_8;

%%%%%% Segundo estágio Consierando a
Margem de fase

gm_6=10*gm_1 % o Zero uma decada acima de
GBW

fzero=gm_6*(2*pi*Cc)
fp2=gm_6/(2*pi*CL)

GBW/fp2
GBW/fzero

PM = 90 - tan(GBW/fp2)^-1 - tan(GBW/fzero)^-1
PM = 180 - atand(GBW/fp2) - atand(GBW/fzero)

I_6=phit*gm_6*(1+sqrt(1+i_ff))/2*n_P

S_6=I_6/(i_ff*ISQ_P)

S_7=(1/2)*S_6*S_5/S_4

S_8=S_5

ID_1=I_F
ID_2=I_F
ID_3=I_F
ID_4=I_F
ID_5=I_F5
ID_6=I_6
ID_7=I_6
ID_8=I_F5

L_1 = 1000e-9;
L_2 = L_1;
L_3 = 500e-9;
L_4 = L_3;

fprintf('\n-- Corrente\n')
formatSpec = 'ID1 = %3.3f uA\n';
fprintf(formatSpec,(ID_1/1e-6))
formatSpec = 'ID2 = %3.3f uA\n';
fprintf(formatSpec,(ID_2/1e-6))
formatSpec = 'ID3 = %3.3f uA\n';
fprintf(formatSpec,(ID_3/1e-6))
formatSpec = 'ID4 = %3.3f uA\n';
fprintf(formatSpec,(ID_4/1e-6))
formatSpec = 'ID5 = %3.3f uA\n';
fprintf(formatSpec,(ID_5/1e-6))
formatSpec = 'ID6 = %3.3f uA\n';
fprintf(formatSpec,(ID_6/1e-6))
formatSpec = 'ID7 = %3.3f uA\n';
fprintf(formatSpec,(ID_7/1e-6))
formatSpec = 'ID8 = %3.3f uA\n';
fprintf(formatSpec,(ID_8/1e-6))

fprintf('\n-- W e L dos Transistores\n')
formatSpec = 'L1= %3.3f um W1= %3.3f um \n';
fprintf(formatSpec,(L_1/1e-6),(W_1/1e-6))
formatSpec = 'L2= %3.3f um W2= %3.3f um \n';
fprintf(formatSpec,(L_2/1e-6),(W_2/1e-6))
formatSpec = 'L3= %3.3f um W3= %3.3f um \n';
fprintf(formatSpec,(L_3/1e-6),(W_3/1e-6))
formatSpec = 'L4= %3.3f um W4= %3.3f um \n';
fprintf(formatSpec,(L_4/1e-6),(W_4/1e-6))
formatSpec = 'L5= %3.3f um W5= %3.3f um \n';
fprintf(formatSpec,(L_5/1e-6),(W_5/1e-6))
formatSpec = 'L6= %3.3f um W6= %3.3f um \n';
fprintf(formatSpec,(L_6/1e-6),(W_6/1e-6))
formatSpec = 'L7= %3.3f um W7= %3.3f um \n';
fprintf(formatSpec,(L_7/1e-6),(W_7/1e-6))
formatSpec = 'L8= %3.3f um W8= %3.3f um \n';
fprintf(formatSpec,(L_8/1e-6),(W_8/1e-6))

SR = 5000000

ID_5 = 1.2100e-05

gm_1 = 7.6027e-05

```

Resultados obtidos para o projeto do amplificador operacional de dois estágios via código do MATLAB

CL = 1.0000e-11

Cc = 2.4200e-12

GBW =5000000

SR = 5000000

ID_5 = 1.2100e-05

gm_1 = 7.6027e-05

i_ff = 10	ID_5 = 1.0627e-05
I_F = 5.3136e-06	ID_6 = 5.3136e-05
ISQ_N = 1.3399e-07	ID_7 = 5.3136e-05
ISQ_P = 3.0123e-08	ID_8 = 1.0627e-05
S_1 = 3.9657	-- Corrente
S_2 = 3.9657	ID1 = 5.314 uA
S_3 = 17.6398	ID2 = 5.314 uA
S_4 = 17.6398	ID3 = 5.314 uA
I_F5 = 1.0627e-05	ID4 = 5.314 uA
ID_5 = 1.0627e-05	ID5 = 10.627 uA
S_5 = 35.2795	ID6 = 53.136 uA
gm_6 = 7.6027e-04	ID7 = 53.136 uA
PM = 89.1164	ID8 = 10.627 uA
PM = 67.5485	-- W e L dos Transistores
I_6 = 5.3136e-05	L1= 1.000 um W1= 3.966 um
S_6 = 176.3977	L2= 1.000 um W2= 3.966 um
S_7 = 176.3977	L3= 0.500 um W3= 8.820 um
S_8 = 35.2795	L4= 0.500 um W4= 8.820 um
ID_1 = 5.3136e-06	L5= 1.000 um W5= 35.280 um
ID_2 = 5.3136e-06	L6= 1.000 um W6= 176.398 um
ID_3 = 5.3136e-06	L7= 1.000 um W7= 176.398 um
ID_4 = 5.3136e-06	L8= 1.000 um W8= 35.280 um

REFERÊNCIAS

- ABDELAZIZ, S.; EMIRA, A.; RADWAN, A. G.; MOHIELDIN, A. N.; SOLIMAN, A. M. A low start up voltage charge pump for thermoelectric energy scavenging. 2011 IEEE International Symposium on Industrial Electronics. **Anais...** . p. 71–75, 2011. IEEE.
- ACOSTA, S. M. **Projeto de amplificadores operacionais cmos utilizando transistores compostos em “sea-of-transistors”**, 1997. Dissertação (Mestre em Engenharia) - Elétrica Engenharia Elétrica, Universidade Federal de Santa Catarina.
- ALLEN, P.; HOLBERG, D. **CMOS Analog Circuit Design**. 2. ed. New York: Oxford, 2002.
- BAKER, R. J. **CMOS: Circuit Design, Layout, and Simulation**. 3. ed. Hoboken: John Wiley & Sons, Inc, 2010.
- CARLI, D.; BRUNELLI, D.; BERTOZZI, D.; BENINI, L. A high-efficiency wind-flow energy harvester using micro turbine. SPEEDAM 2010. **Anais...** . p. 778-783, 2010. IEEE.
- CHOI, J.; PARK, J.; JEONG, W.; et al. Design of LDO linear regulator with ultra low-output impedance buffer. 2009 International SoC Design Conference (ISOCC). **Anais...** . p.420–423, 2009. IEEE.
- FALCO, C.; UDREA, F. On the Seebeck Coefficient and its Temperature Dependence for Standard CMOS Materials. **IEEE Sensors Journal**, p. 1–1, 2016.
- FARZEEN, S.; REN, G.; CHEN, C. An ultra-low power ring oscillator for passive UHF RFID transponders. 2010 53rd IEEE International Midwest Symposium on Circuits and Systems. **Anais...** . p.558–561, 2010. IEEE.
- FERREIRA, J. C. Circuitos CMOS: Um resumo. Disponível em: <<http://paginas.fe.up.pt/~jcf/ensino/disciplinas/mieec/pcvlsi/2007-08a/sumario.pdf>>. Acesso em: 27 nov. 2016.
- FOJTIK, M.; KIM, D.; CHEN, G.; et al. A Millimeter-Scale Energy-Autonomous Sensor System With Stacked Battery and Solar Cells. **IEEE Journal of Solid-State Circuits**, v. 48, n. 3, p. 801–813, 2013.
- GOMEZ, C.; OLLER, J.; PARADELLS, J. Overview and Evaluation of Bluetooth Low Energy: An Emerging Low-Power Wireless Technology. **Sensors**, v. 12, n. 12, p. 11734–11753, 2012.
- GORLATOVA, M.; SARIK, J.; GREBLA, G.; et al. Movers and Shakers: Kinetic Energy Harvesting for the Internet of Things. **IEEE Journal on Selected Areas in Communications**, p. 1–1, 2015.
- GOUVEIA, O. DA C. **Programa de auxílio ao projeto de amplificadores operacionais cmos**, 1992. Dissertação (Mestre em Engenharia) - Elétrica Engenharia Elétrica, Universidade Federal de Santa Catarina.
- GRAY, P. R.; MEYER, R. G. MOS operational amplifier design-a tutorial overview. **IEEE Journal of Solid-State Circuits**, v. 17, n. 6, p. 969-982, 1982.

GUTIERREZ, L.; ROA, E.; HERNANDEZ, H. A Current-Efficient, Low-Dropout Regulator with Improved Load Regulation. 2009 IEEE Workshop on Microelectronics and Electron Devices. **Anais...** . p. 1-4, 2009. IEEE.

HSIEH, H.-H.; LU, L.-H. A High-Performance CMOS Voltage-Controlled Oscillator for Ultra-Low-Voltage Operations. **IEEE Transactions on Microwave Theory and Techniques**, v. 55, n. 3, p. 467-473, 2007.

HUSSEIN, A. I. Wearable computing: Challenges of implementation and its future. 2015 12th Learning and Technology Conference. **Anais...** . p.14-19, 2015. IEEE.

JABBAR, H.; SONG, Y.; JEONG, T. RF energy harvesting system and circuits for charging of mobile devices. **IEEE Transactions on Consumer Electronics**, v. 56, n. 1, p. 247-253, 2010.

KUROSE, JAMES; ROSS, K. **Computer Networking: A Top-Down Approach**. 5. ed. Pearson, 2009.

LIU, C.-C.; CHEN, C. An ultra-low power voltage regulator for RFID application. 2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS). **Anais...** . p.780-783, 2013. IEEE.

LU, J.; LIU, W.; VAN DER WERF, C. H. M. et al. Above-CMOS a-Si and CIGS solar cells for powering autonomous microsystems. 2010 International Electron Devices Meeting. **Anais...** . p.31.3.1-31.3.4, 2010. IEEE.

MACHADO, M. B. **Ultra-low-voltage oscillators with application to energy harvesting circuits**, 2014. Tese (Doutor em Engenharia) - Elétrica Engenharia Elétrica, Universidade Federal de Santa Catarina.

MACHADO, M. B.; SCHNEIDER, M. C.; GALUP-MONTORO, C. On the Minimum Supply Voltage for MOSFET Oscillators. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 61, n. 2, p. 347-357, 2014.

MARKHAM, D. Charge Your iPhone with Your Breath. Disponível em: <<http://www.treehugger.com/gadgets/charge-your-iphone-your-breath.html>>. Acesso em: 28 out. 2016.

MARTINS, G. C.; DE SOUSA, F. R. An RF-powered temperature sensor designed for biomedical applications. 2013 26th Symposium on Integrated Circuits and Systems Design (SBCCI). **Anais...** . p. 1-6, 2013. IEEE.

MARTINS, J. B.; RICARDO, R.; MONTEIRO, J. **Capacitance and Power Modeling at Logic-Level**. Disponível em: <https://www.researchgate.net/profile/Jose_Monteiro5/publication/228974501_Capacitance_and_Power_Modeling_at_Logic-Level/links/004635174036d8e748000000.pdf>. Acesso em: 7 dez. 2016.

MATTHEW N. O. SADIKU. **Elementos de Eletromagnetismo**. 5. ed. Bookman, 2012.

MONTORO, C. G.; SCHNEIDER, M. C. **CMOS Analog Design Using All-Region MOSFET Modeling**. Cambridge University Press, 2010.

NATIONAL INSTRUMENTS. **Case Study: Using New Technologies to Design and Test Wireless Receivers**. Disponível em: <ftp://ftp.ni.com/pub/events/rf_forum/testwireless.pdf>. Acesso em: 29 out. 2016.

NEW, L. F.; BIN ABDUL AZIZ, Z. A.; LEONG, M. F. A low ripple CMOS charge Pump

for low-voltage application. 2012 4th International Conference on Intelligent and Advanced Systems (ICIAS2012). **Anais...** . p.784-789, 2012. IEEE.

PAN, F.; SAMADDAR, T. **Charge Pump Circuit Design**. 1. ed. McGraw-Hill Education, 2006.

PELLICONI, R.; IEZZI, D.; BARONI, A.; PASOTTI, M.; ROLANDI, P. L. Power efficient charge pump in deep submicron standard cmos technology. **IEEE Journal of Solid-State Circuits**, v. 38, n. 6, p. 1068-1071, 2003.

POOLE, I. GSM Power Control and Power Class. Disponível em: <http://www.radio-electronics.com/info/cellulartelecomms/gsm_technical/power-control-classes-amplifier.php>. Acesso em: 30 out. 2016.

POONAM, G.; MANOJ, D.; SAINI, H. Design of Two Stage Op-Amp. **International Journal of Advanced Trends in Computer Science and Engineering**, v. 2, n. 3, p. 50-53, 2013.

REDDY, D.; BENIWAL, N. S.; BAYNE, S. B. New ASIC architecture development for energy harvesting. 2011 IEEE 33rd International Telecommunications Energy Conference (INTELEC). **Anais...** . p. 1-7, 2011. IEEE.

SALTER, T.; CHOI, K.; PECKERAR, M.; METZE, G.; GOLDSMAN, N. RF energy scavenging system utilising switched capacitor DC-DC converter. **Electronics Letters**, v. 45, n. 7, p. 374, 2009.

SENDRA, S.; FERNANDEZ, P.; TURRO, C.; LLORET, J. IEEE 802.11a/b/g/n Indoor Coverage and Performance Comparison. 2010 6th International Conference on Wireless and Mobile Communications. **Anais...** . p.185–190, 2010. IEEE.

SHENCK, N. S.; PARADISO, J. A. Energy scavenging with shoe-mounted piezoelectrics. **IEEE Micro**, v. 21, n. 3, p. 30-42, 2001.

SHOKRANI, M. R.; KHODDAM, M.; HAMIDON, M. N. B.; et al. An RF Energy Harvester System Using UHF Micropower CMOS Rectifier Based on a Diode Connected CMOS Transistor. **The Scientific World Journal**, v. 2014, p. 1-11, 2014.

TEXAS INSTRUMENTS. Rf Basics and getting started. Disponível em: <<https://training.ti.com/rf-basics-getting-started>>. Acesso em: 29 out. 2016.

UCHIDA, K.; ADACHI, H.; KIKKAWA, T.; et al. Thermoelectric Generation Based on Spin Seebeck Effects. **Proceedings of the IEEE**, v. 104, n. 10, p. 1946-1973, 2016.

WENG, P.-S.; TANG, H.-Y.; KU, P.-C.; LU, L.-H. 50 mV-Input Batteryless Boost Converter for Thermal Energy Harvesting. **IEEE Journal of Solid-State Circuits**, v. 48, n. 4, p. 1031–1041, 2013.

WU, J.-T.; CHANG, K.-L. MOS charge pumps for low-voltage operation. **IEEE Journal of Solid-State Circuits**, v. 33, n. 4, p. 592–597, 1998.

YEAGER, D.; ZHANG, F.; ZARRASVAND, A.; et al. A 9 μ A, Addressable Gen2 Sensor Tag for Biosignal Acquisition. **IEEE Journal of Solid-State Circuits**, v. 45, n. 10, p. 2198–2209, 2010.

ZHAO, W.; CHOI, K.; BAUMAN, S.; et al. A radio-frequency energy harvesting scheme for use in low-power ad hoc distributed networks. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 59, n. 9, p. 573-577, 2012.